

Dialog Results

POWERED BY Dialog

Delay circuit device for synchronous signals - has first and second delay circuits arranged so signal paths are aligned in opposite directions with first delay circuit output and second delay circuit input sequentially connected via control circuit

Patent Assignee: NEC CORP; NIPPON DENKI KK

Inventors: SAEKI T

Patent Family

Patent Number	Kind	Date	Application Number	Kind	Date	Week	Type
EP 720291	A2	19960703	EP 95119887	A	19951216	199631	B
JP 8237091	A	19960913	JP 95307950	A	19951127	199647	
TW 288232	A	19961011	TW 95113455	A	19951216	199708	
US 5699003	A	19971216	US 95575032	A	19951219	199805	
KR 187699	B1	19990601	KR 9552830	A	19951220	200055	
JP 2000312137	A	20001107	JP 95307950	A	19951127	200061	
			JP 2000101499	A	19951127		
US 37232	E	20010619	US 95575032	A	19951219	200138	
			US 99460563	A	19991214		
EP 720291	B1	20020417	EP 95119887	A	19951216	200227	
DE 69526419	E	20020523	DE 626419	A	19951216	200241	
			EP 95119887	A	19951216		
JP 3338744	B2	20021028	JP 95307950	A	19951127	200278	

Priority Applications (Number Kind Date): JP 94316875 A (19941220)

Cited Patents: No search report pub.

Patent Details

Patent	Kind	Language	Page	Main IPC	Filing Notes
EP 720291	A2	E	49	H03K-005/13	
Designated States (Regional): DE FR GB					
JP 8237091	A		33	H03K-005/135	
TW 288232	A			H03K-005/14	
US 5699003	A		45	H03H-011/26	
KR 187699	B1			H03K-005/135	
JP 2000312137	A		29	H03K-005/135	Div ex application JP 95307950
US 37232	E			H03H-011/26	Reissue of patent US 5699003
EP 720291	B1	E		H03K-005/13	

Designated States (Regional): DE FR GB					
DE 69526419	E			H03K-005/13	Based on patent EP 720291
JP 3338744	B2		33	H03K-005/135	Previous Publ. patent JP 8237091

Abstract:

EP 720291 A

The delay circuit device includes a first delay circuit series, a second delay circuit series and a control circuit device. The first delay circuit series can extract an output from any position on a transmission path of a signal. The second delay circuit series can enter an input from any position on a transmission path of a signal. The control circuit has an input terminal, an output terminal and an input/output control terminal for signals.

Both the first and second delay circuit series are arranged so their signal transmission paths are aligned in opposite directions. The output of the first delay circuit series and input of the second delay circuit series is passed through the control circuit device and sequentially connected to each other from the side close to the input of the first delay circuit series and from the side close to the output of the second delay circuit series.

ADVANTAGE - Duty ratio and clock cycle are easily varied by controlling delay time ratio. Range of controlled frequencies does not change even if supply voltage drops. Defective elements are easily dealt with. Reduces phase difference between external and internal clock pulses. Power consumption does not increase.

Dwg.5/28

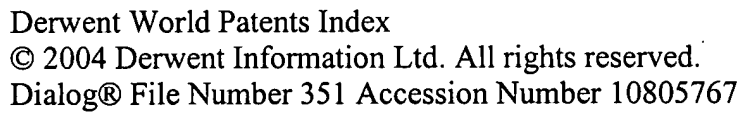
US 5699003 A

The delay circuit device includes a first delay circuit series, a second delay circuit series and a control circuit device. The first delay circuit series can extract an output from any position on a transmission path of a signal. The second delay circuit series can enter an input from any position on a transmission path of a signal. The control circuit has an input terminal, an output terminal and an input/output control terminal for signals.

Both the first and second delay circuit series are arranged so their signal transmission paths are aligned in opposite directions. The output of the first delay circuit series and input of the second delay circuit series is passed through the control circuit device and sequentially connected to each other from the side close to the input of the first delay circuit series and from the side close to the output of the second delay circuit series.

ADVANTAGE - Duty ratio and clock cycle are easily varied by controlling delay time ratio. Range of controlled frequencies does not change even if supply voltage drops. Defective elements are easily dealt with. Reduces phase difference between external and internal clock pulses. Power consumption does not increase.

Dwg.8/28



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-237091

(43) 公開日 平成8年(1996)9月13日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K	5/135		H 0 3 K	5/135
H 0 3 H	11/26	8731-5 J	H 0 3 H	11/26
H 0 3 K	3/02		H 0 3 K	3/02
H 0 4 L	7/00		H 0 4 L	7/00
	7/02			7/02
				Z
				Z
審査請求 有 請求項の数31 O L (全 33 頁)				

(21) 出願番号 特願平7-307950

(22) 出願日 平成7年(1995)11月27日

(31) 優先権主張番号 特願平6-316875

(32) 優先日 平6(1994)12月20日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 佐伯 貴範

東京都港区芝五丁目7番1号 日本電気株式会社内

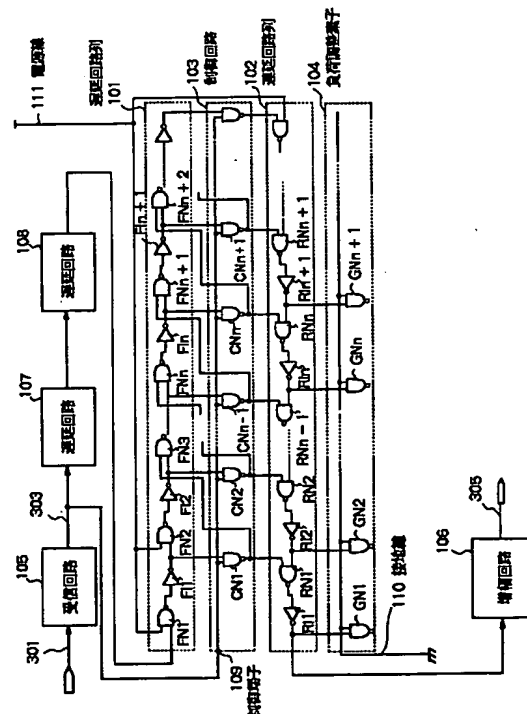
(74) 代理人 弁理士 若林 忠

(54) 【発明の名称】 遅延回路装置

(57) 【要約】

【課題】 外部クロックと位相差がない内部クロックを、少ない周期で広い周波数範囲、電源電圧範囲にわたって、生成する。

【解決手段】 遅延回路装置は、信号の伝達経路の任意の位置から出力を取り出し得る遅延回路列101と、信号の伝達経路の任意の位置から入力を入れ得る遅延回路列102と、信号の入力端子と出力端子と入出力の制御端子109を有する制御回路103を有する。遅延回路列101と遅延回路列102がそれぞれ信号の伝達経路が逆向きになるように並べて配置され、遅延回路列101の出力と、遅延回路列102の入力が制御回路103を介して、それぞれ遅延回路列101の入力に近い側、該遅延回路列102の出力に近い側から、順次接続され、遅延回路列101に第1の信号を入力し、任意の時間の後、制御回路103に第2の信号を入力し、遅延回路列101上の第1の信号を遅延回路列102に転送する。



【特許請求の範囲】

【請求項1】 信号の伝達経路の任意の位置から出力を取り出し得る第1の遅延回路列と、信号の伝達経路の任意の位置から入力を入れ得る第2の遅延回路列と、信号の入力端子と出力端子と入出力制御端子を有する制御回路を有し、該第1の遅延回路列と該第2の遅延回路列が、それぞれ信号の伝達経路が互いに逆向きになるように並べて配置され、該第1の遅延回路列の出力と該第2の遅延回路列の入力が、前記制御回路を介して、それぞれ該第1の遅延回路列の入力に近い側、該第2の遅延回路列の出力に近い側から順次接続され、前記第1の遅延回路列に第1の信号を入力し、任意の時間の後、前記制御回路に第2の信号を入力し、前記第1の遅延回路列上の前記第1の信号を前記第2の遅延回路列に転送する遅延回路装置。

【請求項2】 前記制御回路に第2の信号が入力され、前記第1の遅延回路列上の前記第1の信号が前記第2の遅延回路列に転送され、かつ前記第1の遅延回路列上の前記第1の信号が前記第1の遅延回路列上から除去される請求項1記載の遅延回路装置。

【請求項3】 前記第1の遅延回路列と前記第2の遅延回路列が、両者の遅延時間が等しくなるように構成されている請求項1または2記載の遅延回路装置。

【請求項4】 前記第1の遅延回路列と前記第2の遅延回路列に印加される電圧が定電圧源から供給される請求項1から3のいずれか1項記載の遅延回路装置。

【請求項5】 複数の電圧源を有する回路において、前記第1の遅延回路列と前記第2の遅延回路列に印加される電圧が相対的に高電圧源から供給される請求項1から4のいずれか1項記載の遅延回路装置。

【請求項6】 外部信号の受信回路と、増幅回路と、該外部信号の受信回路と同等の遅延時間を有する第1の遅延回路と、該増幅回路と同等の遅延時間を有する第2の遅延回路をさらに有し、前記第1の信号が前記受信回路、該第1の遅延回路、該第2の遅延回路の順に通過した後に前記第1の遅延回路列に入力し、前記第1の信号が前記受信回路を通過した後に前記制御回路に入力し、前記第2の遅延回路列の出力が前記増幅回路に入力する請求項1から5のいずれか1項記載の遅延回路装置。

【請求項7】 前記第1の信号および前記第2の信号が所望の誤差を許す範囲の一定の周期を有する同期信号のパルスからなり、前記第2の信号が前記第1の信号より所望のパルス数遅れたパルスである請求項1から6のいずれか1項記載の遅延回路装置。

【請求項8】 複数の遅延時間を複数の制御信号で選択可能な第3の遅延回路と、該第3の遅延回路と等しい構成の第4の遅延回路とをさらに有し、該第3の遅延回路が前記第1の遅延回路列の入力経路に直列に配置され、該第4の遅延回路が前記第2の遅延回路列の出力経路に直列に配置され、該第3の遅延回路と該第4の遅延回路

の遅延時間が等しくなるよう構成されている請求項1から7のいずれか1項記載の遅延回路装置。

【請求項9】 前記第1の遅延回路列と前記第2の遅延回路列が、主として、インバーター、NANDからなる請求項1から8のいずれか1項記載の遅延回路装置。

【請求項10】 前記第1の遅延回路列の内部回路と前記第2の遅延回路列の内部回路が、互いに鏡像関係にある回路レイアウトからなる請求項1から9のいずれか1項記載の遅延回路装置。

10 【請求項11】 前記第1の信号と前記第2の信号が同期信号またはクロックパルスの連続するパルスである請求項1から10のいずれか1項記載の遅延回路装置。

【請求項12】 前記第1の遅延回路と前記第2の遅延回路の遅延時間の和が前記外部信号の受信回路の遅延時間と前記増幅回路の遅延時間の和から前記外部信号の信号幅を引いた時間に設定され、前記第1の信号が前記受信回路、該第1の遅延回路、該第2の遅延回路の順に通過した後に前記第1の遅延回路列に入力し、第1の信号が前記受信回路を通過した後に前記制御回路に入力し、前記第2の遅延回路列の出力が反転された後に前記増幅回路に入力する請求項6から11のいずれか1項記載の遅延回路装置。

【請求項13】 前記第1の遅延回路の遅延時間が電気信号で調整可能な構成になっており、該電気信号を発生するためのヒューズ回路を有する請求項6から12のいずれか1項記載の遅延回路装置。

【請求項14】 前記第1の遅延回路列の最大遅延時間と前記第1の遅延回路の遅延時間と前記第2の遅延回路の遅延時間の和より前記第1の信号と前記第2の信号の間隔が長いとき、信号の経路を、前記第1の遅延回路列と前記第2の遅延回路列と前記第1の遅延回路と前記第2の遅延回路を通らず、前記受信回路から前記増幅回路を直接通る経路に切り替え、前記第1の遅延回路列の最大遅延時間と前記第1の遅延回路の遅延時間と前記第2の遅延回路の遅延時間の和より前記第1の信号と前記第2の信号の間隔が短くなったとき、信号の経路を、前記受信回路から前記増幅回路を直接通る経路から、前記第1の遅延回路列と前記第2の遅延回路列と前記第1の遅延回路と前記第2の遅延回路を通る経路に切り替える切替回路をさらに有する請求項1から13のいずれか1項記載の遅延回路装置。

【請求項15】 前記切替回路がヒステリシスを有する請求項14記載の遅延回路装置。

【請求項16】 第1の起動信号と第2の起動信号とを発生する起動回路を有し、第1の起動信号は前記受信回路を起動し、第2の起動信号は、前記第1の遅延回路列、前記第2の遅延回路列、前記第1の遅延回路と前記第2の遅延回路への入力を起動し、第1の起動信号または第2の起動信号のいずれかが非起動状態のとき、第1の遅延回路列中の信号は全て除去される請求項6から1

3

5のいずれか1項記載の遅延回路装置。

【請求項17】 前記起動回路が同期式記憶回路装置のアクティブ信号またはパワーダウン信号のいずれかで制御される請求項16項記載の遅延回路装置。

【請求項18】 クロック出力制御信号を発生するクロック出力制御回路をさらに有し、該クロック出力制御信号が前記第1の信号または前記第2の信号の前記増幅回路からの出力を制御し、該クロック出力制御信号が前記同期式記憶回路装置のリードモード信号、バーストモード信号、CASレーテンシー信号で制御される請求項6から16のいずれか1項記載の遅延回路装置。

【請求項19】 クロックモード信号を発生するクロックモード信号発生回路をさらに有し、該クロックモード信号は、信号の経路を、前記受信回路から前記増幅回路を直接通る経路、または前記第1の遅延回路列と前記第2の遅延回路列と前記第1の遅延回路と前記第2の遅延回路を通る経路に切り替える請求項1から17のいずれか1項記載の遅延回路装置。

【請求項20】 前記第1の遅延回路の遅延時間が電気信号で調整可能な構成になっており、該電気信号が、外部信号と前記増幅回路の出力の位相差を打ち消すような信号であり、該電気信号を発生するための位相比較回路をさらに有する請求項1から18のいずれか1項記載の遅延回路装置。

【請求項21】 前記第2の遅延回路列の遅延時間が、前記第2の遅延回路列に接続される負荷回路で設定される請求項1から20のいずれか1項記載の遅延回路装置。

【請求項22】 前記負荷回路の負荷が、負荷制御用の信号で制御される請求項21項記載の遅延回路装置。

【請求項23】 前記第2の遅延回路列が複数の遅延回路列からなり、この第2の遅延回路列を構成する複数の遅延回路列が前記第1の遅延回路列に対してそれぞれ所望の遅延時間比を有し、前記第1の信号と前記第2の信号がその一部分である同期信号の周期に対し種々の比率の周期を有する請求項1から12のいずれか1項記載の遅延回路装置。

【請求項24】 第5の遅延回路が前記第2の遅延回路列の次段に配置され、前記第1の遅延回路列の遅延時間と前記第2の遅延回路列の遅延時間が所望の比率になるように設定され、前記第1の遅延回路の遅延時間と第2の遅延回路の遅延時間の和と第5の遅延回路の遅延時間との比率が前記第1の遅延回路列の遅延時間と前記第2の遅延回路列の遅延時間の比率に等しく設定され、該第5の遅延回路の出力、または該第5の遅延回路の出力と前記受信回路の出力のOR出力、または該第5の遅延回路の出力と前記受信回路の出力をリセット、セット入力とするRSフリップフロップの出力、または該OR出力を分周した出力が前記増幅回路に入力される請求項6から23のいずれか1項記載の遅延回路装置。

4

【請求項25】 第5の遅延回路が前記第2の遅延回路列の次段に配置され、前記第2の遅延回路列が複数の遅延回路列からなり、前記第1の遅延回路列の遅延時間と前記第2の遅延回路列の遅延時間が所望の比率になるように設定され、前記第1の遅延回路の遅延時間と第2の遅延回路の遅延時間の和と第5の遅延回路の遅延時間との比率が前記第1の遅延回路列の遅延時間と前記第2の遅延回路列の遅延時間の比率に等しく設定され、該第5の遅延回路の出力、または該第5の遅延回路の出力と前記受信回路の出力のOR出力、または該第5の遅延回路の出力と前記受信回路の出力をリセット、セット入力とするRSフリップフロップの出力、または該OR出力を分周した出力を前記増幅回路に入力する請求項6から23のいずれか1項記載の遅延回路装置。

【請求項26】 前記第2の遅延回路列が2列の遅延回路列からなり、前記第1の遅延回路列の遅延時間と前記第2の遅延回路列の各遅延回路列の遅延時間が2対1になるように設定され、前記第1の遅延回路の遅延時間と第2の遅延回路の遅延時間の和と第5の遅延回路の遅延時間との比率が第1の遅延回路列の遅延時間と第2の遅延回路列の遅延時間の比率に等しく設定され、前記第1の遅延回路列の出力が前記制御回路を介して入力し、前記第1の遅延回路列の出力と前記第2の遅延回路列の出力のOR出力を第5の遅延回路に入力し、第5の遅延回路の出力と前記受信回路の出力のOR出力、または第5の遅延回路の出力と前記受信回路の出力をリセット、セット入力とするRSフリップフロップの出力、または該OR出力を分周した出力を前記増幅回路に入力する請求項6から23のいずれか1項記載の遅延回路装置。

【請求項27】 前記第1の遅延回路列と前記第2の遅延回路列の遅延時間の比率が、前記第1の遅延回路列を構成する回路数と前記第2の遅延回路列を構成する回路の回路数比で設定される請求項1から26のいずれか1項記載の遅延回路装置。

【請求項28】 前記第1の遅延回路列および前記第2の遅延回路列が環状になっており、前記第1の遅延回路列が前記第1の信号を入力し、任意の時間の後、前記制御回路が前記第2の信号を入力するまでに、前記第1の信号が前記環状になった第1の遅延回路列を周回した回数を計数し、前記制御回路が前記第2の信号を入力したとき、前記第1の遅延回路列上の前記第1の信号を前記第2の遅延回路列に転送すると同時に前記計数した該周回数を前記第1の信号が前記第2の遅延回路列を周回する度に減算し、前記第1の信号が、前記第1の遅延回路列中を周回した回数と同じ回数を第2の遅延回路列中を周回したところで前記第1の信号を第2の遅延回路列から出力させるカウンターをさらに有する請求項6から27のいずれか1項記載の遅延回路装置。

【請求項29】 前記カウンターが、前記制御回路が前記第2の信号を入力するまでに、前記第1の信号が前記

現状になった第1の遅延回路列を周回した回数を計数する加算器と、前記制御回路が前記第2の信号を入力したときに、前記第1の遅延回路列上の前記第1の信号を前記第2の遅延回路列に転送すると同時に前記加算器で計数した周回数を出力する転送器と、前記出力された周回数を、前記前記第1の信号が前記第2の遅延回路列を周回するたびに減算し、前記第1の信号が、前記第1の遅延回路列中を周回した回数と同じ回数第2の遅延回路列中を周回したところで、前記第1の信号を第2の遅延回路列から出力させる減算器を含む請求項第28項記載の遅延回路装置。

【請求項30】 前記カウンタが最大値を示したとき、信号の経路を、前記第1の遅延回路列と前記第2の遅延回路列と前記第1の遅延回路と前記第2の遅延回路を通らず、前記受信回路から前記増幅回路を直接通る経路に切り替え、前記カウンタが最大値未満のときに第2の信号が入力したとき、信号の経路を、前記受信回路から前記増幅回路を直接通る経路から、前記第1の遅延回路列と前記第2の遅延回路列と前記第1の遅延回路と前記第2の遅延回路を通る経路に切り替える切替回路をさらに有する請求項22または請求項29項記載の遅延回路装置。

【請求項31】 前記切替回路がヒステリシスを有する請求項30記載の遅延回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体回路装置に関する、特に同期信号（以下クロックと呼ぶ）の伝達または発生に使用される遅延回路装置に関する。

【0002】

【従来の技術】従来、クロックを利用する半導体回路装置では、図25に示すように、外部クロック401を受信回路402で受信し、増幅回路403で増幅し、クロック制御の回路404で使用する内部クロック405を発生していた。したがって、受信回路402で受信し、増幅回路403で増幅する過程で、図26に示すように外部クロック401と内部クロック405の間の遅延時間406が生じていた。この遅延時間406は、半導体回路装置は、製造技術の進歩、半導体基板の大口径化により回路規模が増大してきたため、増大する傾向にある。一方、半導体回路装置は、搭載するシステムの高速度化により、回路動作、使用クロックも高速化してきた。この結果、クロック周期407に対し、遅延時間406が相対的に大きくなり、回路動作に障害がでてきた。

【0003】この対策として、これまで位相同期ループ（フェースロックドループ、Phase-Locked Loop、PLL以下PLLと記述する。）が、用いられてきた。図27にPLLの基本的な回路構成を示す。位相比較器505では、受信回路502を介した外部クロック503と受信回路502と同等の遅延を有する遅延回路504を介

した内部クロック505の位相差から位相誤差信号506を出力する。位相誤差信号506はループフィルタ507を介して制御信号508となり、電圧制御発振器509に入る。電圧制御発振器509では、制御信号508に応じた周波数のクロック510を発生する。クロック510は増幅回路511で増幅され、クロック制御の回路512で使用する内部クロック505になる。制御信号508は、外部クロック503と内部クロック505の位相差がなくなるように電圧制御発振器509を制御し、最終的に位相差が検知できなくなるまで電圧制御発振器509を制御する。

【0004】したがって、PLLでは、外部クロックに対する内部クロックの遅延がなくなり、クロック周期に対し、遅延時間が相対的に大きくなり、回路動作に障害がでる問題を回避できた。

【0005】また、デューティ比が整数比のクロック、または周波数が外部クロックの整数倍の周波数を利用する半導体回路装置では、図27に示すようなPLLに分周回路を組み込んだ構成が用いられてきた。

【0006】位相比較器505では、受信回路502を介した外部クロック503と受信回路502と同等の遅延を有する遅延回路504を介した内部クロック505の位相差から位相誤差信号506を出力する。位相誤差信号506は、ループフィルタ507を介して制御信号508となり、電圧制御発振器509に入る。電圧制御発振器509では、制御信号508に応じた周波数のクロック510を発生する。クロック510は、分周回路513を通過し、分周され、クロック514になる。クロック514は増幅回路511で増幅され、クロック制御の回路512で使用する内部クロック505になる。クロック510は増幅回路515で増幅され、クロック制御の回路512で使用する内部クロック516になる。制御信号508は、外部クロック503と内部クロック505の位相差がなくなるように電圧制御発振器509を制御し、最終的に位相差が検知できなくなるまで電圧制御発振器509を制御する。内部クロック505は、外部クロック503と位相、周期が等しく、かつデューティ比が整数比のクロックになる。クロック516は、内部クロック505の分周される前のクロックと同じ周波数なので、外部クロック503に対し分周の逆数倍の周波数のクロックになる。

【0007】

【発明が解決しようとする課題】本発明の目的は、上記PLLを用いた回路の以下の欠点を解決した遅延回路装置を提供することにある。

【0008】1. 内部クロックと外部クロックの位相差がなくなるまでに時間（数十周期以上）を要する。

【0009】2. 欠点1の結果、外部クロックの位相差のない内部クロックを所望のタイミングで用いるために常にPLLを動作させる必要があり、消費電力が増大す

る。

【0010】3. 電圧制御発振器は、電圧で発振を制御するため、電源電圧が低くなると制御電圧の幅が狭くなるため、制御周波数の精度が落ちる。

【0011】4. 一定の制御周波数の精度を保って、広い周波数にわたって制御する場合、周波数範囲の異なる電圧制御発振器を複数用いる必要があり、電圧制御発振器を代えた場合、位相差がなくなるまで、時間を有する。

【0012】5. 位相差をなくせる条件（電圧、デバイス条件）が限られており、事前の調査を要し、事前の調査も困難である。

【0013】6. 回路の種類が多く、不良の対応が困難である。

【0014】

【課題を解決するための手段】本発明の遅延回路装置は、信号の伝達経路の任意の位置から出力を取り出し得る第1の遅延回路列と、信号の伝達経路の任意の位置から入力を入れ得る第2の遅延回路列と、信号の入力端子と出力端子と入出力制御端子を有する制御回路を有し、第1の遅延回路列と第2の遅延回路列が、それぞれ信号の伝達経路が互いに逆向きになるように並べて配置され、第1の遅延回路列の出力と第2の遅延回路列の入力が制御回路を介して、それぞれ第1の遅延回路列の入りに近い側、第2の遅延回路列の出力に近い側から順次接続され、第1の遅延回路列に第1の信号を入力し、任意の時間の後、制御回路に第2の信号を入力し、第1の遅延回路列上の第1の信号を第2の遅延回路列に転送する遅延回路装置が提供される。

【0015】本発明の実施態様によれば、制御回路に第2の信号が入力され、第1の遅延回路列上の第1の信号が第2の遅延回路列に転送され、かつ第1の遅延回路列上の第1の信号が第1の遅延回路列上から除去される。

【0016】本発明の他の実施態様によれば、第1の遅延回路列と第2の遅延回路列が、両者の遅延時間が等しくなるよう構成されている。

【0017】本発明の他の実施態様によれば、第1の遅延回路列と第2の遅延回路列に印加される電圧が定電圧源から供給される。

【0018】本発明の他の実施態様によれば、複数の電圧源を有する回路において第1の遅延回路列と第2の遅延回路列に印加される電圧が相対的に高電圧源である。

【0019】本発明の他の実施態様によれば、遅延回路装置は、外部信号の受信回路と、増幅回路と、外部信号の受信回路と同等の遅延時間を有する第1の遅延回路と、増幅回路と同等の遅延時間を有する第2の遅延回路をさらに有し、第1の信号が受信回路、第1の遅延回路、第2の遅延回路の順に通過した後に第1の遅延回路列に入力し、第1の信号が受信回路を通過した後に制御回路に入力し、第2の遅延回路列の出力が増幅回路に入

力する。

【0020】本発明の他の実施態様によれば、第1の信号および第2の信号が所望の誤差を許す範囲の一定の周期を有する同期信号のパルスからなり、第2の信号が第1の信号より所望のパルス数遅れたパルスである。

【0021】本発明の他の実施態様によれば、遅延回路装置は、複数の遅延時間を複数の制御信号で選択可能な第3の遅延回路と、第3の遅延回路と等しい構成の第4の遅延回路とをさらに有し、第3の遅延回路が第1の遅延回路列の入力経路に直列に配置され、第4の遅延回路が第2の遅延回路列の出力経路に直列に配置され、第3の遅延回路と第4の遅延回路の遅延時間が等しくなるよう制御される。

【0022】本発明の実施態様によれば、第1の遅延回路列と第2の遅延回路列が、主として、インバーター、NANDからなる。

【0023】本発明の他の実施態様によれば、第1の遅延回路列の内部回路と第2の遅延回路列の内部回路が、互いに鏡像関係にある回路レイアウトからなる。

【0024】本発明の他の実施態様によれば、第1の信号と第2の信号が同期信号またはクロックパルスである。

【0025】本発明の他の実施態様によれば、第1の遅延回路と第2の遅延回路の遅延時間の和が外部信号の受信回路の遅延時間と増幅回路の遅延時間の和から外部信号の信号幅を引いた時間に設定され、第1の信号が受信回路、第1の遅延回路、第2の遅延回路の順に通過した後第1の遅延回路列に入力し、第1の信号が受信回路を通過した後に制御回路に入力し、第2の遅延回路列の出力が反転された後に増幅回路に入力する。

【0026】本発明の他の実施態様によれば、第1の遅延回路の遅延時間が電気信号で調整可能な構成になっており、電気信号を発生するためのヒューズ回路を有する。

【0027】本発明の他の実施態様によれば、遅延回路装置は、第1の遅延回路列の最大遅延時間と第1の遅延回路の遅延時間と第2の遅延時間の遅延時間の和より第1の信号と第2の信号の間隔が長いとき、信号の経路を、第1の遅延回路列と第2の遅延回路列と第1の遅延回路と第2の遅延回路を通らず、受信回路から増幅回路を直接通る経路に切り替え、第1の遅延回路列の最大遅延時間と第1の遅延時間の遅延時間と第2の遅延回路の遅延時間の和より第1の信号と第2の信号の間隔が短くなったとき、信号の経路を、受信回路から増幅回路を直接通る経路から、第1の遅延回路列と第2の遅延回路列と第1の遅延回路と第2の遅延回路を通る経路に切り替える切替回路をさらに有する。

【0028】本発明の他の実施態様によれば、前記切替回路がヒステリシスを有する。

【0029】本発明の他の実施態様によれば、遅延回路

装置は、第1の起動信号と第2の起動信号とを発生する起動回路を有し、第1の起動信号は受信回路を起動し、第2の起動信号は、第1の遅延回路列、第2の遅延回路列、第1の遅延回路、前記第2の遅延回路への入力を起動し、第1の起動信号または第2の起動信号のいずれかが非起動状態のとき、第1の遅延回路列中の信号は全て除去される。

【0030】本発明の他の実施態様によれば、起動回路が同期式記憶回路装置のアクティブ信号またはパワードウン信号のいずれかで制御される。

【0031】本発明の他の実施態様によれば、遅延回路装置は、出力制御信号を発生するクロック出力制御回路をさらに有し、クロック出力制御信号が第1の信号または第2の信号の増幅回路からの出力を制御し、クロック出力制御信号が同期式記憶回路装置のリードモード信号、バーストモード信号、C A Sレーテンシー信号で制御される。

【0032】本発明の他の実施態様によれば、遅延回路装置は、クロックモード信号を発生するクロックモード信号発生回路をさらに有し、クロックモード信号は、信号の経路を、受信回路から増幅回路を直接通る経路、または第1の遅延回路列と第2の遅延回路列と第1の遅延回路と第2の遅延回路を通る経路に切り替える。

【0033】本発明の他の実施態様によれば、第1の遅延回路の遅延時間が電気信号で調整可能な構成になっており、電気信号が、外部信号と増幅回路の出力の位相差を打ち消すような信号であり、電気信号を発生するための位相比較回路をさらに有する。

【0034】本発明の他の実施態様によれば、第2の遅延回路列の遅延時間が、第2の遅延回路列に接続される負荷回路で設定される。

【0035】本発明の他の実施態様によれば、負荷回路の負荷が、負荷制御用の信号で制御される。

【0036】本発明の他の実施態様によれば、第2の遅延回路列が複数の遅延回路列からなり、この第2の遅延回路列を構成する複数の遅延回路列が第1の遅延回路列に対してそれぞれ所望の遅延時間比を有し、第1の信号と第2の信号がその一部分である同期信号の周期に対し種々の比率の周期を有する。

【0037】本発明の遅延回路装置は、第5の遅延回路が第2の遅延回路列の次段に配置され、第1の遅延回路列の遅延時間と第2の遅延回路列の遅延時間が所望の比率になるように設定され、第1の遅延回路の遅延時間と第2の遅延回路の遅延時間の和と第5の遅延回路の遅延時間との比率が第1の遅延回路列の遅延時間と第2の遅延回路列の遅延時間の比率に等しく設定され、第5の遅延回路の出力、または第5の遅延回路の出力と受信回路の出力のOR出力、または第5の遅延回路の出力と受信回路の出力をリセット、セット入力とするRSフリップフロップの出力、またはOR出力を分周した出力が増幅

回路に入力される。

【0038】本発明の他の実施形態によれば、第5の遅延回路が前記第2の遅延回路列の次段に配置され、第2の遅延回路列が複数の遅延回路列からなり、第1の遅延回路列の遅延時間と第2の遅延回路列の遅延時間が所望の比率になるように設定され、第1の遅延回路の遅延時間と第2の遅延回路の遅延時間の和と第5の遅延回路の遅延時間との比率が第1の遅延回路列の遅延時間と第2の遅延回路列の遅延時間の比率に等しく設定され、第5の遅延回路の出力、または第5の遅延回路の出力と受信回路の出力のOR出力、または第5の遅延回路の出力と受信回路の出力をリセット、セット入力とするRSフリップフロップの出力、または該OR出力を分周した出力を増幅回路に入力する。

【0039】本発明の他の実施態様によれば、第2の遅延回路列が2列の遅延回路列からなり、第1の遅延回路列の遅延時間と第2の遅延回路列の各遅延回路列の遅延時間が2対1になるように設定され、第1の遅延回路の遅延時間と第2の遅延回路の遅延時間の和と第5の遅延回路の遅延時間との比率が第1の遅延回路列の遅延時間と第2の遅延回路列の遅延時間の比率に等しく設定され、第1の遅延回路列の出力が制御回路を介して入力し、第1の遅延回路列の出力と第2の遅延回路列の出力のOR出力を第5の遅延回路に入力し、第5の遅延回路の出力と受信回路の出力のOR出力、または第5の遅延回路の出力と受信回路の出力をリセット、セット入力とするRSフリップフロップの出力、または該OR出力を分周した出力を増幅回路に入力する。

【0040】本発明の他の実施態様によれば、第1の遅延回路列と前記第2の遅延回路列の遅延時間の比率が、前記第1の遅延回路列を構成する回路数と前記第2の遅延回路列を構成する回路の回路数比で設定される。

【0041】本発明の他の実施態様によれば、第1の遅延回路列および第2の遅延回路列が環状になっており、第1の遅延回路列が前記第1の信号を入力し、任意の時間の後、制御回路が前記第2の信号を入力するまでに、第1の信号が前記環状になった第1の遅延回路列を周回した回数を計数し、制御回路が第2の信号を入力したとき、第1の遅延回路列上の第1の信号を第2の遅延回路列に転送すると同時に計数した該周回数を第1の信号が第2の遅延回路列を周回する度に減算し、第1の信号が、第1の遅延回路列中を周回した回数と同じ回数を第2の遅延回路列中を周回したところで第1の信号を第2の遅延回路列から出力させるカウンタをさらに有する。

【0042】本発明の他の実施態様によれば、カウンタが、制御回路が第2の信号を入力するまでに、第1の信号が前記環状になった第1の遅延回路列を周回した回数を計数する加算器と、制御回路が第2の信号を入力したときに、第1の遅延回路列上の前記第1の信号を第2

の遅延回路列に転送すると同時に加算器で計数した周回数を出力する転送器と、出力された周回数を、第1の信号が前記第2の遅延回路列を周回するたびに減算し、第1の信号が、第1の遅延回路列中を周回した回数と同じ回数第2の遅延回路列中を周回したところで、第1の信号を第2の遅延回路列から出力させる減算器を含む。

【0043】本発明の他の実施態様によれば、カウンタが最大値を示したとき、信号の経路を、第1の遅延回路列と第2の遅延回路列と第1の遅延回路と第2の遅延回路を通らず、受信回路から増幅回路を直接通る経路に切り替え、カウンタが最大値未満のときに第2の信号が入力したとき、信号の経路を、受信回路から増幅回路を直接通る経路から、第1の遅延回路列と第2の遅延回路列と第1の遅延回路と第2の遅延回路を通る経路に切り替える切替回路をさらに有する。

【0044】本発明の他の実施態様によれば、前記切替回路はヒステリシスを有する。

【0045】本発明の遅延回路装置は、信号の伝達経路の位置から出力を取り出し得る第1の遅延回路列と、信号の伝達経路の任意の位置から入力を入れ得る第2の遅延回路列と、信号の入力端子と出力端子と入出力制御端子を有する制御回路を有し、第1の遅延回路列と、第2の遅延回路列をそれぞれ信号の伝達経路が逆向きになるように並べて配置され、第1の遅延回路列の出力と第2の遅延回路列の入力が制御回路を介して、それぞれ第1の遅延回路列の入力に近い側、第2の遅延回路列の出力に近い側から、順次接続されている。第1の遅延回路列に第1の信号を入力し、任意の時間の後、制御回路に第2の信号を入力し、第1の遅延回路列上の第1の信号を第2の遅延回路列に転送する。第1の信号は、第1の遅延回路中を第1の信号と第2の信号の入力時間の差の時間、進行する。制御回路に第2の信号を入力し、第1の遅延回路列上の第1の信号を第2の遅延回路列に転送した後、第1の信号は、第2の遅延回路列中を第2の遅延回路列の信号の伝達速度を第1の遅延回路列の信号の伝達速度で割った値に第1の信号と第2の信号の入力時間の差の時間を掛けた時間進行する。すなわち、第1の信号と第2の信号の入力時間の差の遅延時間を有する遅延回路列ができる。

【0046】ここで、第1の遅延回路列の信号の伝達速度と第2の遅延回路列の信号の伝達速度を等しくし、外部信号の受信回路と、増幅回路と、外部信号の受信回路と同等の遅延時間を有する第1の遅延回路と、増幅回路と同等の遅延時間を有する第2の遅延回路を有し、第1の信号が受信回路、第1の遅延回路、第2の遅延回路の順に通過した後第1の遅延回路列に入力し、第1の信号が受信回路を通過した後第2の信号として制御回路に入力し、第2の遅延回路列の出力が増幅回路に入力する構成とし、かつ第1の信号を一定の周期のクロック信号として入力すると、第1の信号が第1の遅延回路列に

入ってから、1周期後に第1の信号が受信回路を通過した後第2の信号として制御回路に入力する時間差は、外部信号の受信回路の遅延時間と増幅回路の遅延時間の和を第1の信号の周期から引いた時間に等しくなる。この第2の遅延回路列の出力は増幅回路に入力する。この増幅回路の出力は、第1の信号が受信回路に入った時間から、ちょうど第1の信号の2周期分の時間遅れ、実質的に外部の第1の信号と等しいタイミングの信号を内部回路に提供する。

10 【0047】また、第5の遅延回路を第2の遅延回路列の次段に配置し、第1の遅延回路列の遅延時間と第2の遅延回路列の遅延時間が所望の比率になるように設定され、第1の遅延回路の遅延時間と第2の遅延回路の遅延時間の和と第5の遅延回路の遅延時間との比率を第1の遅延回路列の遅延時間と第2の遅延回路列の遅延時間の比率と等しくし、第5の遅延回路の出力と受信回路の出力のOR出力、または第5の遅延回路の出力と受信回路の出力をリセット、セット入力とするRSフリップフロップ出力、またはOR出力を分周した出力を増幅回路に入力する。このOR出力は、パルスが外部入力のクロックパルスの周期の第1の遅延回路列と第2の遅延回路列の遅延時間の比率に新たなクロックパルスが加わったパルスとなり、比率が2のときは、外部入力パルスの周期が1/2、周波数2倍のクロックパルスをクロック1周期の期間で内部回路に提供する。RSフリップフロップ出力、またはOR出力を分周した出力は、クロックのデューティ比が第1の遅延回路列と第2の遅延回路列の比率と等しいクロックパルスをクロック2周期の期間で内部クロックに提供する。

20 30 【0048】なお、本発明の遅延回路装置は、第1の遅延回路列と第2の遅延回路列の遅延時間の比率が、第1の遅延回路列を構成する回路数と第2の回路を構成する回路の回路数比で設定される。

【0049】また、カウンタを配置し、かつ、第1の遅延回路列および第2の遅延回路列を環状にし、第1の遅延回路列に第1の信号を入力し、任意の時間の後、制御回路に第2の信号を入力するまでに、第1の信号が環状になった第1の遅延回路列を周回した回数をカウンタで加算し、制御回路および転送器に第2の信号を入力したときに、第1の遅延回路列上の第1の信号を第2の遅延回路列に転送すると同時にカウンタで加算した周回数を、第1の信号が第2の遅延回路列を周回する度に減算し、第1の信号が第1の遅延回路列中を周回した回数と同じ回数を第2の遅延回路列中を周回したところで、第1の信号を第2の遅延回路列から出力する。すなわち、カウンタを配置することで、第1の遅延回路列、第2の遅延回路列の何倍の長い周期のクロックパルスにおいても外部クロックと遅延時間差のない内部クロックの提供、任意のデューティ比、周期のクロックの提供を可能にする。

【0050】また、第1の遅延回路の遅延時間が電気信号で調整可能な構成になっており、該電気信号を発生するためのヒューズ回路を有する。すなわち、外部クロックと内部クロックとの時間差が製造後に生じた場合、またはスペック変更に対し、フューズトリミングにより遅延時間の設定変更を可能にする。

【0051】また、第1の遅延回路列の最大遅延時間と第1の遅延回路の遅延時間と第2の遅延回路の遅延時間の和より第1の信号と第2の信号の間隔が長いとき、信号の経路を、第1の遅延回路列と第2の遅延回路列と第1の遅延回路と第2の遅延回路を通らず、受信回路から増幅回路を直接通る経路に切り替え、第1の遅延回路列の最大遅延時間と第1の遅延回路の遅延時間と第2の遅延回路の遅延時間の和より第1の信号と第2の信号の間隔が短くなったとき、信号の経路を、受信回路から増幅回路を直接通る経路から、第1の遅延回路列と第2の遅延回路列と第1の遅延回路と第2の遅延回路を通る経路に切り替える切替回路を有する。さらに、受信回路から増幅回路を直接通る経路から、第1の遅延回路列と第2の遅延回路列と第1の遅延回路と第2の遅延回路を通る経路に切り替える切替回路がヒステリシスを有するので、外部クロックの周期が、本発明の遅延回路装置が設定する最大値を越えた場合でも内部回路にクロックが提供される。

【0052】また、本発明の遅延回路装置は、2クロック以内に外部クロック周期と同期するので、いくつかの制御回路を追加することで、同期式記憶装置の制御信号で制御が容易である。以下にその例を示す。第1の起動信号と第2の起動信号とを発生する起動回路を有し、第1の起動信号は、受信回路を起動し、第2の起動信号は、第1の遅延回路列、第2の遅延回路列、第1の遅延回路と、第2の遅延回路への入力を起動し、第1の起動信号または第2の起動信号のいずれかが非起動状態のとき、第1の遅延回路列中の信号は全て除去される。起動回路が同期式記憶回路装置のアクティブ信号またはパワーダウンスignalのいずれかで制御される。クロック出力制御信号を発生するクロック出力制御回路を有し、該クロック出力制御信号が、第1の信号または前記第2の信号の増幅回路からの出力を制御し、該クロック出力制御信号が同期式記憶回路装置のリードモード信号、バーストモード信号、CASレーテンシー信号で制御される。クロックモード信号を発生するクロックモード信号発生回路を有し、該クロックモード信号は、受信回路から、増幅回路を直接通る経路と、第1の遅延回路列と第2の遅延回路列と第1の遅延回路と第2の遅延回路を通る経路に切り替える。

【0053】また、第1の遅延回路の遅延時間が電気信号で調整可能な構成になっており、該電気信号が、外部信号と増幅回路の出力の位相差を打ち消すような信号であり、該電気信号を発生するための位相比較回路を有す

る。すなわち、位相比較回路により外部クロックと内部クロックの位相差をより精度よく合わせられる。しかも、位相比較回路なしでもあらかじめ位相が合っているため、位相比較回路によっても極めて短い時間で位相調整がされ、かつ位相比較回路を用いた回路としては、広い周波数にわたってクロックを制御し得る。

【0054】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して証明する。

10 (第1の実施形態) 本発明の第1の実施形態について図1と図2により説明する。

【0055】図1を参照すると、本実施形態は、信号の伝達経路の任意の位置から出力を取り出し得る遅延回路列101(第1の遅延回路列)と、信号の伝達経路の任意の位置から入力を入れ得る遅延回路102(第2の遅延回路列)と、信号の入力端子と出力端子と入出力の制御端子109を有する制御回路103と、遅延回路列101と102の負荷を等しくするための負荷調整素子104と、外部信号を受信する受信回路105と、増幅回路106と、受信回路105と同等の遅延時間を有する遅延回路107と、増幅回路106と同等の遅延時間を有する遅延回路108から構成される。受信回路105の出力は遅延回路107の入力と制御端子109とに接続されている。遅延回路107の出力は遅延回路108の入力と接続されている。遅延回路108の出力は遅延回路列101の入力と接続されている。遅延回路列102の出力は増幅回路106の入力と接続されている。

【0056】次に、遅延回路列101、遅延回路列102、制御回路103および負荷調整素子104の内部の構成について説明する。遅延回路列101と遅延回路列102はインバーターとNANDとの交互配置からなり、制御回路103と負荷調整素子104はNANDからなる。遅延回路列101は、入力側からNAND FN1、インバーターFI1、NAND FN2、インバーターFI2、…、NAND FNn、インバーターFI n、NAND FNn+1、インバーターFI n+1、…をこの順で接続した構成からなる。遅延回路列102は、出力側から、インバーターRI1、NAND RN1、インバーターRI2、NAND RN2、…、インバーターRI n、NAND RNn、インバーターRI n+1、NAND RNn+1、…をこの順で接続した構成からなる。制御回路103は、入力端子の1つが制御端子109と接続されたNAND列NAND CN1、NAND CN2、…、NAND CNn、NAND CNn+1、…から構成される。負荷調整素子104は、入力端子の1つが接地線110と接続されたNAND列NAND GN1、NAND GN2、…、NAND GNn、NAND GNn+1、…から構成される。

50 【0057】次に、遅延回路列101、遅延回路列10

2、制御回路103および負荷調整素子104の相互の接続をそれぞれのn番目の素子で説明する。遅延回路列101のインバーターFInの出力は、NAND FN_{n+1}に入力するとともに、制御回路103のNAND CN_nの2つの入力端子の1つで制御端子109と接続されていない入力端子と接続されている。制御回路103のNAND CN_nの出力は、遅延回路列101のNAND FN_{n+2}の2つの入力端子の1つでインバーターFIn_{n+1}の出力と接続されていない入力端子と接続され、かつ遅延回路列102のNAND RN_nの2つの入力端子の1つでインバーターRIn_{n+1}の出力と接続されていない入力端子と接続されている。遅延回路列102のNAND RN_nの出力は、遅延回路列102のインバーターRInの入力に接続されている。遅延回路列102のインバーターRInの出力はNAND RN_{n-1}に入力するとともに、負荷調整素子104のNAND GN_nの2つの入力端子の1つで接地線110と接続されてない入力端子と接続されている。負荷調整素子104のNAND GN_nの出力はどこにも接続されていない。また、遅延回路列101のNAND FN₁の2つの入力端子の1つで遅延回路列101の入力端子とは接続されていない入力端子と、NAND FN₂の2つの入力端子の1つでインバーターFI₁の出力と接続されていない入力端子と、遅延回路列102の最後尾のNANDの2つ入力のうち、制御回路103の最後尾のNANDの出力と接続されていない入力電源線111と接続されている。

【0058】次に、本実施形態の動作について図2により説明する。

【0059】入力クロック301は、立ち上がりエッジを用いる低周期H（ハイレベル）パルスである。クロック群302は、遅延回路列101内の全てのインバーター出力で、遅延回路列201内を進行するクロックを表す。クロック303は、受信回路105の出力で、制御端子109に入力するクロックを表す。クロック群304は、遅延回路列102内の全てのインバーター出力で、遅延回路列102内を進行するクロックを表す。クロック305は増幅回路106の出力を表す。クロックは周期的に本遅延回路装置に入力されるため、実使用時には、個々の区別をすることはないが、ここでは、動作をわかりやすくするため、任意のクロックパルスの1つをm番クロックと名付け、次のクロックパルスをm+1番クロックと名付け、次のクロックパルスをm+2番クロックと名付ける。m番クロックは、受信回路105の次に、受信回路105と同等の遅延時間を有する遅延回路107と、増幅回路106と同等の遅延時間を有する遅延回路108を介して遅延回路列101に入り、遅延回路列101内を進行し、クロック群302中のm番クロック群で表される。遅延回路列101内のインバーター出力は、m番クロックの進行によりHになり、m番

ロックのパルス幅の期間H出力を保つ。m番クロックが受信回路105を出てからクロック1周期後、受信回路105からm+1番クロックが制御端子109に入力し、クロック303のm+1番クロックとして表される。このときm番クロックは、遅延回路列101内を進行しており、例えば、遅延回路列101内をj番目のインバーターFI_j（Hパルスの先頭のインバーター）からj-k番目のインバーターFI_{j-k}（Hパルスの最後のインバーター）をm番クロックの幅で進行中とすると、j番目のインバーターFI_jからFI_{j-k}番目のインバーターFI_{j-k}の出力は、前述の通りH出力である。したがって、m番クロックの進行中のインバーターFI_jからFI_{j-k}の出力と接続された制御回路103のNAND CN_jからCN_{j-k}の入力は、2入力ともHになり、出力はL（ロウレベル）になる。この結果、遅延回路列102内のNAND入力は、2入力ともHで待機しているが、このうち、制御回路103のNAND CN_jからCN_{j-k}と接続された遅延回路列102内のNAND RN_jからRN_{j-k}の2入力の1つがLになり、出力はHからLに転じ、遅延回路列102内をm番クロックがLパルスとなって進行し、クロック群304中のm番クロック群で表される。また、遅延回路列101内のNAND FN_{j+2}からNAND FN_{j-k+2}の2つの入力のうち制御回路103のNAND CN_jからCN_{j-k}と接続された入力がLになり、この結果、インバーターFI_{j+2}からインバーターFI_{j-k+2}の出力が全てLになり、遅延回路列101内のm番クロックは全てLにされる。遅延回路列102を出たm番クロックは増幅回路106を介して出力され、クロック304のm番目のクロックで表される。

【0060】次に、遅延時間について説明する。

【0061】受信回路105と遅延回路107の遅延時間は、前述の通り等しく、それぞれd₁とする。増幅回路106と遅延回路108の遅延時間は、前述の通り等しくそれぞれd₂とする。クロックの周期はt_{CK}とする。入力クロック301のm番クロックの立ち上がりエッジと受信回路105の出力クロック303のm番クロック立ち上がりエッジとの間の遅延はd₁である。受信回路105の出力クロック303のm番クロックの立ち上がりエッジと遅延回路列101を進行するクロック群302のm番目のクロック群の先頭クロックの立ち上がりエッジの間の遅延は、受信回路105の出力クロック303のm番クロックの立ち上がりエッジと受信回路105の出力クロック303のm+1番クロック立ち上がりエッジの間の遅延に等しく、t_{CK}となる。したがって、遅延回路列101をクロックの立ち上がりエッジが進行する時間は、クロックの周期t_{CK}から遅延回路107の遅延時間d₁と遅延回路108の遅延時間d₂を引いた時間t_{CK}-d₁-d₂である。遅延回路列10

2をクロックのLパルスの立ち上がりエッジが進行する遅延回路は、遅延回路列101をクロックの立ち上がりエッジが進行した遅延回路と等しい構成段数になるので、遅延回路列102をクロックのLパルスの立ち上がりエッジが進行する時間は、遅延回路列101をクロックの立ち上がりエッジが進行する時間と等しく、クロックの周期 t_{CK} から遅延回路107の遅延時間 d_1 と遅延回路108の遅延時間 d_2 を引いた時間 $t_{CK}-d_1-d_2$ である。増幅回路106を通過するのに要する時間は、前述の通り、 d_2 である。以上、クロックが受信回路105、遅延回路107、遅延回路108、遅延回路列101、遅延回路列102、増幅回路106を通過するのに要する時間は $2t_{CK}$ になり、 m 番クロックは、 $m+2$ 番クロックと等しいタイミングで不図示の内部回路に出力される。

【0062】また、本実施形態では、遅延回路列101と遅延回路列102の遅延時間を等しくするため、例えば、 F_{Nn} と F_{In} と C_{Nn} のマスクパターンと、 R_{Nn} と R_{In} と G_{Nn} のマスクレイアウトを鏡像パターンとし、負荷（遅延回路列101と102に接続される全てのゲート、配線で、遅延回路列101に対しては制御回路103、遅延回路列102に対しては負荷調整素子104）を等しくした。

【0063】本実施形態の遅延回路装置に供給される電源電圧は、本実施形態の遅延回路装置が搭載される半導体回路装置上に搭載された定電圧供給回路から供給される。したがって、本実施形態の遅延回路装置の遅延時間は外部電源電圧に依存しない。また、定電圧供給回路から供給される電圧を調整することにより、遅延回路列101、遅延回路列102の使用ゲート段数を調整できる。定電圧供給回路から供給される電圧を高くすると、遅延回路列101、102の信号伝達速度が早くなり、低くすると遅くなるからである。

【0064】本実施形態によれば、外部クロックと遅延差のない内部クロックが僅か2クロック後に確実に得ることが可能である。

【0065】本実施形態の遅延回路列101、遅延回路列102、制御回路103、負荷調整素子104は $NAND$ およびインバータから構成されているが、他の素子にて構成することも可能である。また、内部回路の動作に影響を与えない範囲において、外部クロック201の誤差は許容し得る。

（第2の実施形態）次に、本発明の第2の実施形態について図3を参照して説明する。

【0066】図3に示すように、本実施形態は、図1の遅延回路装置に、複数の遅延時間を複数の制御信号で選択可能な遅延回路112と、遅延回路112と等しい構成の遅延回路113とを付加した構成で、遅延回路112が遅延回路列101の入力経路に直列に配置され、遅延回路113が遅延回路列102の出力経路に直列に配

置され、遅延回路112と遅延回路113の遅延時間が等しくなるように制御する回路になっている。

【0067】次に、本実施形態の動作について説明する。

【0068】動作は、基本的には、第1の実施形態と等しく、遅延回路112と遅延回路113の遅延時間 d_V の調整が加わる点が第1の実施形態と異なる。そのため、まず、遅延時間について説明する。受信回路105と遅延回路107の遅延時間は、前述の通り等しく、それぞれ d_1 とする。増幅回路106と遅延回路108の遅延時間は、前述の通り等しく、それぞれ d_2 とし、遅延回路112と遅延回路113の遅延時間を d_V とし、クロックの周期は t_{CK} とする。したがって、遅延回路列101をクロックの立ち上がりエッジが進行する時間は、クロックの周期 t_{CK} から遅延回路107の遅延時間 d_1 、遅延回路108の遅延時間 d_2 、遅延回路列112の遅延時間 d_V を引いた時間 $t_{CK}-d_1-d_2-d_V$ である。遅延回路列102をクロックのLパルスの立ち上がりエッジが進行する遅延回路は、遅延回路列101をクロックの立ち上がりエッジが進行する遅延回路と等しい構成段数になるので、遅延回路列102をクロックのLパルスの立ち上がりエッジが進行する時間は、遅延回路列101をクロックの立ち上がりエッジが進行する時間と等しく、クロックの周期 t_{CK} から遅延回路107の遅延時間 d_1 、遅延回路108の遅延時間 d_2 、遅延回路113の遅延時間 d_V を引いた時間 $t_{CK}-d_1-d_2-d_V$ である。

【0069】以上説明したように、遅延回路列101と遅延回路列102をクロックが通過する時間に遅延回路112、遅延回路113の遅延時間の項が含まれる。したがって、例えば、クロックの周期 t_{CK} があらかじめ長くなることがわかっている場合には、 d_V が長くなる設定、クロックの周期 t_{CK} があらかじめ短くなることがわかっている場合には、 d_V が短くなる設定を行う。

【0070】以上の動作により、本実施形態では、遅延回路列101、遅延回路列102の規模を大きくすることなく、広い周波数範囲にわたって所望の特性が得られることがわかる。

（第3の実施形態）次に、本発明の第3の実施形態について、図4を用いて説明する。

【0071】図4に示すように、本実施形態は、図1の遅延回路装置に、増幅回路106の入力を反転するインバータ114が付加され、遅延回路107と遅延回路108の遅延時間の和が、受信回路105の遅延時間と増幅回路106の遅延時間の和よりクロック201のパルス幅分短い時間に設定される点が第1の実施形態と異なる。

【0072】本実施形態の動作は基本的に、第1の実施形態と同じである。ただし、第1の実施形態では遅延回路列101から遅延回路列102にパルスを転送すると

き、HパルスがLパルスに反転するが、本実施形態では、LパルスをHパルスに再反転し出力する。本実施形態でも出力のHパルスの立ち上がりエッジを用いるので、パルス幅 t_{PW} 分の調整を要する。

【0073】次に、遅延時間の配分および出力パルスのタイミングについて説明する。遅延回路107と遅延回路108の遅延時間の和は、受信回路105の遅延時間と増幅回路106の遅延時間の和 $d_1 + d_2$ より入力クロック301のパルス幅 t_{PW} 分短い時間 $d_1 + d_2 - t_{PW}$ になる。したがって、遅延回路列101をクロックの立ち上がりエッジが進行する時間は、クロックの周期 t_{CK} から、遅延回路107の遅延時間と遅延回路108の遅延時間の和 $d_1 + d_2 - t_{PW}$ を引いた時間 $t_{CK} - d_1 - d_2 + t_{PW}$ である。遅延回路列102をクロックのLパルスの立ち上がりエッジが進行する遅延回路は、遅延回路列101をクロックの立ち上がりエッジが進行する遅延回路と等しい構成段数になるので、遅延回路列102をクロックのLパルスの立ち上がりエッジが進行する時間は遅延回路列101をクロック立ち上がりエッジが進行する時間と等しく、クロックの周期 t_{CK} から $d_1 + d_2 - t_{PW}$ を引いた時間 $t_{CK} - d_1 - d_2 + t_{PW}$ である。また、遅延回路列102をクロックのLパルスの立ち下がりエッジが進行する時間は、立ち上がりエッジが進行する時間よりパルス幅 t_{PW} 短く、 $t_{CK} - d_1 - d_2$ である。

【0074】以上説明したように、遅延回路列101と遅延回路列102をクロックが通過する時間に遅延回路112と遅延回路113の遅延時間の項が含まれる。したがって、例えば、クロックの周期 t_{CK} があらかじめ長くなることがわかっている場合には、 dV が長くなる設定、クロックの周期 t_{CK} があらかじめ短くなることがわかっている場合には、 dV が短くなる設定を行う。

【0075】以上の動作により、本実施形態では、遅延回路列101、遅延回路列102の規模を大きくすることなく、広い周波数範囲にわたって所望の特性が得られることがわかる。

(第4の実施形態) 次に、本発明の第4の実施形態について図5と図6を用いて説明する。

【0076】図5に示すように、本実施形態は図1の遅延回路装置に遅延調整回路115が追加され、遅延回路107は、単純な遅延回路ではなく、遅延調整回路115により調整可能な可変遅延回路になっている。

【0077】本実施形態では、図6に示すように、遅延回路107は、トランジスタ1102を介して接続される容量素子1103の組み合わせ8組がインバータ列1101のノードに接続されて構成されている。1個のトランジスタ1102は常に導通状態にあり、他のトランジスタは、1個が信号1104で制御され、2個が信号1105で制御され、4個が信号1106で制御される。各信号1104、1105、1106は、それぞれ

遅延調整回路115内のヒューズレジスタ1107、ヒューズレジスタ1108、ヒューズレジスタ1109で独立に制御される。したがって、トランジスタ1102に接続される容量値は、2の3乗、すなわち8段階のレベルをもち、遅延回路107は8段階の遅延時間をもつ。ヒューズレジスタ1107、ヒューズレジスタ1108、ヒューズレジスタ1109の出力レベルは、ヒューズ1110、ヒューズ1111、ヒューズ1112の接続状態および設定信号1113で決定される。

10 【0078】本実施形態では、ヒューズにより遅延回路107の遅延時間を調整できるので、半導体集積回路が完成したのちにもクロックのタイミングの設定が可能になる。

(第5の実施形態) 次に、本発明をダイナミックランダムアクセスメモリ(以下DRAMと表記する)のデータアウトに使用した場合の実施形態について図7~10を用いて説明する。

20 【0079】図7に示すように、本実施形態の遅延回路装置は図1の遅延回路装置に分配回路121とクロック切替回路122と最大周期違反検知回路123とクロック起動回路124とクロック出力制御回路125とクロックモード信号発生回路126を追加して構成されている。

【0080】分配回路121とクロック切替回路122は、複数のクロックの経路が分岐または合流する回路で、その経路は複数の信号で制御される。

30 【0081】最大周期違反検知回路123、クロック起動回路124、クロック出力制御回路125、クロックモード信号発生回路126は、分配回路121とクロック切替回路122のクロックの経路を制御する信号を発生する回路であり、かつ、それ自体も制御信号で制御される。

【0082】分配回路121は、受信回路105の出力をクロック入力として入力し、クロック出力として、分配回路出力1211、分配回路出力1212に分割し、出力する。分配回路出力1211は遅延回路107に投入し、分配回路出力1212は制御端子109および最大周期違反検知回路123に投入する。

40 【0083】分配回路121を制御する信号は、クロック起動信号1214、クロック起動信号1215、クロックモード信号1217である。

50 【0084】図8に分配回路121の回路図を示す。受信回路105の出力は、これまで述べてきたようにHパルスが一定周期で出力されるクロック出力である。クロックモード信号1217は、Hのとき受信回路105の出力を分配回路121を通過させ、分配回路出力1211、分配回路出力1212をクロック出力にする。クロックモード信号1217は、Hのとき受信回路105の出力を分配回路121を通過させず分配回路出力1211をL固定、分配回路出力1212をLまたはHに固定

する。クロック起動信号1214は、Hのとき、分配回路出力1212を分配回路出力1211と等しい出力にし、LのときH固定にする。クロック起動信号1215は、Hになった後に入力した受信回路105の出力のクロックを分配回路121を通過させ、分配回路出力1211、分配回路1212をクロック出力にする。クロック起動信号1215が、Lになった後に入力した受信回路105の出力のクロックを分配回路121を通過させず、分配回路出力1211をL固定、分配回路出力1212をLまたはHに固定する。また、受信回路105の出力のクロックは、分配回路116を通過する際に、インバーター4段とNOR1段の遅延幅のパルス幅に整形される。

【0085】クロック切替回路122は、遅延回路列102と増幅回路106の間に配置され、遅延回路列102の出力と受信回路105の出力が入力し、クロック切替回路122の出力は増幅回路106に入力される。

【0086】クロック切替回路122を制御する信号は、クロック出力制御信号1216、クロックモード信号1217、クロック切替信号1218である。

【0087】図9にクロック切替回路122の回路図を示す。クロック出力制御信号1216は、Hになった後に入力した受信回路105の出力のHパルスクロックまたは遅延回路列102の出力のクロックをクロック切替回路122を通過させ、クロック切替回路122の出力をHパルスクロック出力にする。クロック出力制御信号1216が、Lになった後に入力した受信回路105の出力Hパルスまたは遅延回路列102の出力のクロックをクロック切替回路122を通過させず、クロック切替回路122の出力をLに固定する。クロックモード信号1217、クロック切替信号1218の双方がHになったとき、遅延回路列102の出力がクロック切替回路122を通過可能になり、クロックモード信号1217、クロック切替信号1218の一方または双方がLになったとき受信回路105の出力がクロック切替回路122を通過可能になる。

【0088】最大周期違反検知回路123は、遅延回路列101を進行したクロックパルスが、遅延回路列101の最遠端に達する時間より長い周期で入力したときにHパルスとして出力される最大周期違反信号1213が入ったとき、分配回路出力1212の最初のHパルスの立ち上がりエッジでこれを取り込み、次のHパルスの立ち下がりエッジでクロック切替信号1218をH出力からL出力にする。クロック切替信号1218は、一旦、L出力になったら、分配回路出力1212のHパルスが3回入る間、最大周期違反信号1213がL出力を続けた場合H出力に戻るヒステリシスを有する。クロック切替回路122は、クロック切替信号1218がH出力のとき、遅延回路列102の出力を通過させ、クロック切替信号1218がL出力のとき、受信回路105の出力

を通過させる。

【0089】最大周期違反検知回路123を制御する信号は、クロック起動信号1215である。分配回路出力1212は、最大周期違反信号1213を $RS-F/F1221$ 、 $D-LAT1222$ 、 $D-F/F1223$ （図10）で取り込むときに用いられる。

【0090】最大周期違反検知回路123の論理回路図を図10に示す。最大周期違反信号1213がHパルスとして入ったとき、 $RS-F/F1221$ の出力は、分配回路出力1212に遅延を加えた信号が次にH出力になるまでL出力になる。 $RS-F/F1221$ のL出力は、まず $D-LAT1222$ で分配回路出力1212がHになる立ち上がりエッジで取り込まれ、 $D-LAT1222$ のQBからH出力として出力される。 $D-LAT1222$ のQBからのH出力は、 $D-F/F1223$ で分配回路出力1212が次にHからLに立ち下がるエッジで取り込まれ、 $D-F/F1223$ のQからH出力として出力される。 $D-F/F1223$ のQからのH出力は、 $D-F/F1224$ で分配回路出力1212が次の次にHからLに立ち下がるエッジで取り込まれ、 $D-F/F1224$ のQからH出力として出力される。 $D-F/F1224$ のQからのH出力は、 $D-F/F1225$ で分配回路出力1212が次の次にHからLに立ち下がるエッジで取り込まれ、 $D-F/F1225$ のQからH出力として出力される。 $D-F/F1233$ のQB出力と $D-F/F1224$ のQB出力と $D-F/F1225$ のQB出力は3入力NAND1226に入力し、3入力NAND1226の出力は、最大周期違反検知回路123の出力クロック切替信号1218として出力される。

【0091】クロック起動信号1215は、L出力のとき、 $D-LAT1222$ のQB出力をL固定し、 $D-F/F1223$ のQB出力をH固定、 $D-F/F1224$ のQB出力をHに固定、 $D-F/F1225$ のQB出力をHに固定し、最大周期違反検知回路123の出力クロック切替信号1218をHに固定する。また、クロック起動信号1215はL出力のとき、分配回路出力1212をH固定し、このとき $RS-F/F1221$ の出力はH固定になる。

【0092】クロック起動回路124は、アクティブ信号1219、パワーダウン信号1220が入力し、クロック起動信号1214、クロック起動信号1215を出力する。クロック起動回路124を制御する信号はクロック出力制御信号1216である。

【0093】図11にクロック起動回路124の回路図を示す。

【0094】クロック起動回路124は、アクティブ信号1219がLを出力したときクロック起動信号1214をH出力にし、一定の時間を経た後にクロック起動信号1215をH出力にする。アクティブ信号1219がH出力したときクロック起動信号1214をL出力に

し、ほぼ同時にクロック起動信号1215をL出力にする。パワーダウン信号1220がH出力したときクロック起動信号1214をL出力にし、一定の時間を経た後にクロック起動信号1215をL出力にする。パワーダウン信号1220がL出力したときクロック起動信号1214をL出力にし、ほぼ同時にクロック起動信号1215をL出力にする。また、クロック出力制御信号1216がHのときは、クロック起動信号1214をH出力にし、クロック起動信号1215をH出力にする。

【0095】クロック起動信号1214は、Hになったとき、受信回路105を起動し、かつ分配回路出力1212をH固定からクロック出力可能な状態にする。クロック起動信号1214は、Lになったとき、受信回路105を停止し、かつ分配回路出力1212をH固定にする。分配回路出力1212は、H固定になったとき、遅延回路列101内を進行中のHパルス全てを遅延回路列102に転送し、かつ、遅延回路列101内のHパルス全てをL固定にする。

【0096】クロック起動信号1214をH出力にし、クロック起動信号1215は、一定の時間を経た後にL出力にすることで受信回路105を起動し、完全なパルスが出力される状態になってから、受信回路105の出力を分配回路121を通過できる状態にし、かつ最大周期違反検知回路123の出力のクロック切替信号1218をH固定から最大周期違反信号1213が入ったとき、分配回路出力1212に同期したクロック切替信号1218をL出力できる状態にする。

【0097】クロックモード信号発生回路126はクロックモード信号1217を出力する。クロックモード信号1217は、分配回路121、クロック切替回路122に inputs する。クロックモード信号1217がH出力のときは、受信回路105の出力のクロックは分配回路121を通過し、遅延回路107、遅延回路108、遅延回路列101、遅延回路列102を通過可能になる。クロックモード信号1217がL出力のときは、受信回路105の出力のクロックは分配回路121を通過し、遅延回路107、遅延回路108、遅延回路列101、遅延回路列102を通過不可能になる。

【0098】クロック出力制御回路125は、リードモード信号1231、バーストモード信号1232、CASレーテンシー信号1233に応じてクロック出力制御信号1216を出力する。リードモード信号1231は、DRAMがデータの読み出しサイクルに入ること示す信号で、アクティブ信号1219がHになってから一定の時間後に外部から入力される。この一定時間は、クロック起動信号1214をH出力し、クロック起動信号1215がH出力される時間より長い時間である必要がある。バーストモード信号1232は、DRAMがデータの読み出しサイクルにおいて連続してデータを出力するクロック数を表す信号である。CASレーテンシー

信号1233は、リードモード信号1231が入ってからデータが出力されるまでのクロック数を表す信号である。バーストモード信号1232、CASレーテンシー信号1233は、ともにあらかじめ設定してある信号である。

【0099】クロック出力制御信号1216は、リードモード信号1231がHになってからバーストモード信号1232の示すクロック数とCASレーテンシー信号1233の示すクロック数を加えたクロック数の期間H出力される。

【0100】以上、本実施形態では、クロックの周波数が長くなり、遅延回路列101の最遠端までクロックが達しても遅延回路列102にクロックが転送されない場合には、受信回路105の出力を増幅回路106に入力させることにより、クロックが内部回路に供給されないという事態を回避でき、かつ、クロックの切り替えにヒステリシスを設けることで、クロックの出力タイミングが頻繁に変わることを避けることができる。また、クロックの起動をDRAMの動作に応じて行うことで、必要とき以外は、クロックを止め、消費電力を削減し、かつ外部クロックの受信クロックの起動タイミングと内部クロックの起動タイミングをずらすことで、ハザードの発生を抑えることができる。さらに、クロック停止時には、遅延回路列101中のHパルス全てを遅延回路列102に転送し、遅延回路列101中のパルスをL固定にすることで、遅延回路列101、遅延回路列102中の不要な動作をなくすることができる。

(第6の実施形態) 次に、本発明の第6の実施形態について説明する。

【0101】図12に示すように、本実施形態は図1の遅延回路装置に遅延回路131と位相比較回路132とフィルタ133と遅延調整回路134を追加して構成されている。

【0102】遅延回路131は、受信回路105と等しい遅延時間に設定され、遅延回路107は単純な遅延回路ではなく、遅延調整回路134により調整可能な可変遅延回路になっている。遅延回路131には増幅回路106の出力が入力し、遅延回路131の出力は位相比較回路132に入力する。位相比較回路132は受信回路105の出力も入力する。位相比較回路132からは、遅延回路131の出力と受信回路105の出力の位相差に応じた信号が出力され、フィルタ133を介して遅延調整回路134に入力する。遅延調整回路134の出力は遅延回路107に入力し、遅延回路131の出力と受信回路105の出力の位相差がなくなるように遅延回路107の遅延時間を調整する。

【0103】図13に本実施形態における位相比較回路132、フィルタ133、遅延調整回路134から遅延回路107に至る回路図を示す。

【0104】本実施形態では、遅延回路107は、第4

の実施形態と同じ構成を有し、トランジスタ1102を介して接続される容量素子1103の組み合わせ8組をインバーター列1101のノードに接続する。1個のトランジスタ1102は常に導通状態にあり、他のトランジスタは、1個が信号1104で制御され、2個が信号1105で制御され、4個が信号1106で制御される。各信号1104、1105、1106は、それぞれ遅延調整回路134内の3ビットカウンタで制御される。したがって、トランジスタ1102に接続される容量値は、2の3乗、すなわち8段階のレベルをもち、遅延回路107は8段階の遅延時間をもつ。遅延調整回路134内の3ビットカウンタは、フィルタ133から出力されるカウントアップ信号1303、カウントダウン信号1304で制御される。フィルタ133は、位相比較回路132からのアップ信号1301、ダウン信号1302で制御される。

【0105】本実施形態では、フィルタ133はNbeforeMフィルタ構成とし、 $N=4$ 、 $M=6$ とした。位相比較回路132はNANDで構成され、遅延回路131の出力の位相が受信回路1205の出力より進んだ場合ダウン信号1302、遅れた場合アップ信号1301が出力される。遅延回路107は8段階の遅延時間をもち、遅延回路列101のNANDのFNNの遅延時間、インバーターFINの遅延時間を足した時間を8等分した時間構成になっている。本実施形態では、遅延回路列101のNANDのFNNの遅延時間、インバーターFINの遅延時間を足した時間は 0.4 nsec で、遅延時間107の8段階の遅延時間の単位は、 0.05 nsec である。

【0106】本実施形態によれば、外部クロックと内部クロックの位相差のより小さいクロックを比較的少ない時間で提供できる。また、遅延回路列101、遅延回路列102などにより、あらかじめ位相差がほとんどなくなっているので、位相比較回路132を用いた回路としては、広い周波数範囲でクロックを制御し得る。また、本実施形態では、フィルタ133、遅延調整回路134にデジタル回路を用いたが、容量、抵抗からなるアナログ回路にて構成することも可能である。

(第7の実施形態)次に、本発明の第7の実施形態について図14と図15を用いて説明する。

【0107】図14を参照すると、本実施形態は、図1の回路とほぼ同じであるが、遅延回路列101の代わりに遅延回路列141が配置され、遅延回路列102の代わりに遅延回路列142が配置され、制御回路103の代わりに制御回路143が配置され、負荷調整素子104の代わりに負荷調整素子144が配置され、遅延回路列142と増幅回路106の間には、遅延回路145、OR回路147が配置され、ほかに、RS-F/F148、パルス幅補正回路146、増幅回路149が配置されている。

【0108】遅延回路列142は、遅延回路列141または図1の遅延回路列102の半分の素子で構成されている。遅延回路列141の出力は、半数だけが1本おきに、制御回路143を介して遅延回路列142の入力と接続されている。遅延回路列142は、遅延回路列141または図1の遅延回路102の半分の素子で構成されているので、遅延時間は、遅延回路列141または遅延回路102の $1/2$ の時間である。また、遅延回路列141から転送されたパルスのパルス幅は $1/2$ になる。

10 【0109】遅延回路145は、遅延回路107の遅延時間と遅延回路108の遅延時間を加えた $(d1+d2)$ の $1/2$ の遅延時間 $(d1+d2)/2$ に受信回路105出力のパルス幅 tPW の $1/2$ の時間 $tPW/2$ を加えた $(d1+d2)/2+tPW/2$ の遅延時間を有する。本実施形態では、第3の実施形態と同様に遅延回路列142の出力を反転して用いるので、タイミング補正のため、受信回路105出力のパルス幅 tPW の $1/2$ の時間 $tPW/2$ を遅延時間に加えている。

20 【0110】パルス幅補正回路146は受信回路105のパルス幅を $1/2$ にする。

【0111】OR回路147は遅延回路145の出力とパルス幅補正回路146の出力を合成する。RS-F/F148は、パルス幅補正回路146の出力の立ち上がりエッジから遅延回路145の出力の立ち上がりエッジまでのパルス幅のパルスを出力する。

【0112】次に、本実施形態の動作を図15を用いて説明する。受信回路105に入力したHクロックパルス301は受信回路105でパルス幅 tPW に整形され、時間 $d1$ 後に出力され、遅延回路107と遅延回路108を時間 $d1+d2$ を経て通過し遅延回路列141に入力し、受信回路105の出力の次のクロックパルスが制御回路103に入力するときまで、遅延回路列141中を進行しつつける。Hクロックパルスが遅延回路列141中を進行する時間は、立ち上がりエッジが、クロックサイクル tCK から $(d1+d2)$ を引いた時間 $tCK-(d1+d2)$ 、立ち下がりエッジが、クロックサイクル tCK から $(d1+d2)$ とパルス幅 tPW を引いた時間 $tCK-(d1+d2)-tPW$ である。Hクロックパルスは、受信回路105の出力の次のクロックパルスが制御回路143に入力するときには、遅延回路列142に転送され、Lクロックパルスになる。

40 【0113】遅延回路列142を進行するLクロックパルスの立ち上がりエッジは、遅延回路列141中を進行する時間 $tCK-(d1+d2)$ の $1/2$ の時間 $\{(tCK-d1+d2)\}/2$ 進行する。遅延回路列142を進行するLクロックパルスの立ち下がりエッジは、遅延回路列141中を進行する時間 $tCK-(d1+d2)-tPW$ の $1/2$ の時間 $\{tCK-(d1+d2)-tPW\}/2$ 進行する。

50 【0114】遅延回路列142を出たLパルスは遅延回

路145内で反転され、Hパルスになる。遅延回路列142の遅延時間は $(d1+d2)/2+tPW/2$ である。したがって、遅延回路列141から遅延回路列142に転送されたときから、遅延回路145を出るときまでに要する時間は、遅延回路列142を進行するLクロックパルスの立ち上がりエッジとして遅延回路列141中を進行した時間 $\{tCK-(d1+d2)-tPW\}/2$ に、遅延回路145内で反転されHパルスになって進行した時間 $(d1+d2)/2+tPW/2$ を加えて $tCK/2$ である。

【0115】一方、パルス幅補正回路146の遅延時間は小さく、遅延回路145との遅延時間差が $tCK/2$ になるように設定してある。したがって、OR回路146の出力は、遅延回路145の出力とパルス幅補正回路146の出力の合成クロックパルスになり、受信回路105の2倍のサイクルのクロックパルスになる。OR回路147の出力は増幅回路106で所望の駆動能力まで増幅される。

【0116】また、RS-F/F148の出力は、パルス幅補正回路146の出力の立ち上がりエッジから遅延回路145の出力の立ち上がりエッジまでのパルス幅のパルスで、この場合、パルス幅がちょうどクロック周期の $1/2$ 倍になる。RS-F/F148の出力は増幅回路149で所望の駆動能力まで増幅される。

【0117】このほか、遅延回路列142の出力をそのまま増幅して出力して、外部クロックの周期の $1/2$ のタイミングのクロックパルスとして用いることも可能である。

【0118】以上説明したように、本実施形態では、従来PLLでは、数十サイクルから数万サイクル要した、2倍サイクルのクロックの生成およびデューティ比50%のクロックを1クロック後から得ることができた。また、第1から第6の実施形態までの回路と組み合わせることにより外部クロックと遅延差または位相差のない2倍サイクルのクロックの生成、およびデューティ比50%のクロックを生成することができる。このほか、本実施形態を複数組み合わせることにより、4倍サイクルのクロック、8倍サイクルのクロックの生成が可能である。

(第8の実施形態)次に、本発明の第8の実施形態について図16を用いて説明する。

【0119】図16を参照すると、本実施形態は図14の回路とはほぼ同じであるが、遅延回路列152は2列の遅延回路列の組み合わせからなり、遅延回路列151の奇数番目の出力は、制御回路153を介して遅延回路列152の内の1列と接続され、遅延回路列151の偶数番目の出力は、制御回路153を介して遅延回路列152の内の他の1列と接続されている。遅延回路列152の内の2列の遅延回路列は、それぞれ、遅延回路列151の半分の素子で構成されているので、遅延時間は、遅

延回路列151または遅延回路102の $1/2$ の時間である。また、遅延回路列151から転送されたパルスの幅は $1/2$ になる。これら2列の遅延回路列の出力は、OR回路155でORをとった後、遅延回路145に入る。

【0120】本実施形態は、第7の実施形態と同等の効果を得るが、遅延回路列151の偶数番目と奇数番目の出力から2列の遅延回路列を形成し、ORをとることにより、信号の分解能を向上させることができる。

10 【0121】以上説明したように、本実施形態でも、従来、PLLでは、数十サイクルから数万サイクル要した、2倍サイクルのクロックの生成およびデューティ比50%のクロックを1クロック後から得ることができた。また、第1から6の実施形態の回路と組み合わせることにより外部クロックと遅延差または位相差のない2倍サイクルのクロックの生成、およびデューティ比50%のクロックを生成することができる。このほか、本実施形態を複数組み合わせることにより、4倍サイクルのクロック、8倍のサイクルのクロックの生成が可能である。

20 (第9の実施形態)次に、本発明の第9の実施形態について図17を用いて説明する。本実施形態は、図15の回路とはほぼ同じであるが、第2の遅延回路列は、遅延回路列162Aと遅延回路列162Bの2列の遅延回路列に明確に分けられ、同時にそれぞれ、負荷調整素子164A、負荷調整素子164Bが接続されている。また、遅延回路列162Bは、遅延回路列162Aが遅延回路107の遅延時間 $d1$ と遅延回路108の遅延時間 $d2$ を合わせた遅延時間の $(d1+d2)$ 長くなる位置で出力する。この結果、遅延回路列162Aの出力は、外部クロックが受信回路105に入力してから遅延回路列162Aから出るまで $d1+tCK+tCK-(d2+d2)=2tCK-d2$ 要するのに対し、遅延回路列162Bから出るまで $d1+tCK+\{tCK-2\cdot(d1+d2)\}/2=tCK+tCK/2-d2$ 要する。これは、第7の実施形態と同じようにクロックパルスを反転させて利用した場合でも同等の結果になる。したがって、遅延回路列162Aの出力と遅延回路列162Bの出力タイミング差はクロックサイクル tCK の $1/2$ になり、かつ、増幅回路106の遅延時間 $d2$ 分だけ早いタイミングになるので、遅延回路列162Aの出力のパルス幅補正回路147を介した出力と遅延回路列162Bの出力のORをとるOR回路147の出力を介した増幅回路106の出力は、外部クロックと遅延のないクロックパルスと1周期ずれたクロックパルスの合成クロックになり、RS-F/F148を介した増幅回路149の出力は、外部クロックと遅延のないデューティ比50%のクロックになる。

50 【0122】本実施形態により、外部クロックと遅延差または位相差のない2倍サイクルのクロックの生成およ

び、デューティ比50%のクロックを2周期で生成することができる。また、遅延回路列162Bは、第8の実施形態のように2列の遅延回路列のORをとってもよい。

(第10の実施形態)次に、本発明の第10の実施形態について図18を用いて説明する。

【0123】図18を参照すると、本実施形態は、図14の回路とほぼ同じであるが、負荷調整素子174がNAND GN1、…、GNn、…ではなく、NMOSTランジスタGM1、…、GMn、…と容量素子GC1、…、GCn、…からなり、容量素子GC1、…、GCn、…はNMOSTランジスタGM1、…、GMn、…を介して、遅延回路列172中のインバーターF11、…、Fin、…の出力に接続される。負荷調整素子174のNMOSTランジスタGM1、…、GMn、…のゲート電極は、負荷調整端子175と接続され、負荷調整素子174の負荷を負荷制御端子175に印加された電圧により可変する。

【0124】本実施形態では、負荷調整素子174の負荷を調整することで、遅延回路列172の遅延時間の調整が可能になり、同様に任意のデューティ比のクロック、周波数のクロックを作ることができる。

【0125】本実施形態では、遅延回路列171と遅延回路列172の回路素子数比が2対1であったが、1対1や他の比率の場合でも本実施形態は適用できる。

(第11の実施形態)次に、本発明の第11の実施形態について図19を用いて説明する。

【0126】図19を参照すると、本実施形態は、図14の回路とほぼ同じであるが、遅延回路列182が2列の遅延回路列からなり、1列が遅延回路列181の素子数の1/3の素子数からなり、もう1列が遅延回路列181の2/3の素子数からなり、それぞれ制御回路183を介して遅延回路列181の出力3つ毎に1つまたは3つ毎に残り2つと接続される。

【0127】遅延回路列182の2個の遅延回路列の出力は反転して使用される。遅延回路列182の2個の遅延回路列のうち遅延回路列181の素子数の1/3の素子数の遅延回路列の出力は遅延回路145と接続され、遅延回路145の遅延時間は $(d1 + d2 - tPW) / 3$ に設定され、遅延回路145の出力は3入力OR回路187に入力する。遅延回路列182の2個の遅延回路列のうち遅延回路列181の素子数の2/3の素子数の遅延回路列の出力はパルス幅補正回路185と接続され、パルス幅補正回路185は、パルス幅を受信回路105の出力パルス幅の1/3にし、パルス幅補正回路185の出力は遅延回路186と接続され、遅延回路186の遅延時間は $(d1 + d2 - tPW) \cdot (2/3)$ に設定され、遅延回路186の出力は3入力OR回路187に入力され、受信回路105の出力はパルス幅補正回路146と接続され、パルス幅補正回路146は、パル

ス幅を受信回路105の出力パルス幅の1/3にし、パルス幅補正回路146の出力は3入力OR回路187に入力し、3入力OR回路187の出力は増幅回路106を介して内部回路に外部クロックの3倍の周波数のクロックとして供給される。また、遅延回路145の出力とパルス幅補正回路147の出力はRS-F/F148に入力し、RS-F/F148の出力は、増幅回路149を介して、デューティ比33%のクロックとして内部回路に供給される。

10 【0128】本実施形態では、遅延回路列181と遅延回路列182のうちの2つの遅延回路列との遅延時間比をそれぞれ3対1、3対2にしたために遅延回路列182の遅延回路数とおよび負荷調整素子184の回路数を遅延回路列181の1/3、2/3にしたが、これを1/5や3/5などの値を選ぶことにより、任意のデューティ比のクロック、周波数のクロックを作ることができる。また、遅延回路列182の出力をOR回路187、RS-F/F148を介さずに出力することにより、外部クロックの周期に対し1/2、2/3のタイミングのクロックを内部回路に提供できる。

(第12の実施形態)次に、本発明の第12の実施形態について図20と21を用いて説明する。

【0129】図20を参照すると、本実施形態は、図1の回路中の遅延回路列101、102、制御回路103、負荷調整素子とほぼ同じ遅延回路列191、遅延回路列192、制御回路193、負荷調整素子194のほかに加算器195、転送器196、減算器197、遅延回路198を有する。遅延回路列191、遅延回路列192、制御回路193、負荷調整素子194は、第1の実施形態の遅延回路列101、遅延回路列102、制御回路103、負荷調整素子104とほぼ同じであるが、遅延回路列191の最後のインバーターF1zの出力が、遅延回路列191の最初のNAND FN1に入力し、遅延回路列191の最後から2番目のインバーターF1zの出力が遅延回路列191の最初のNAND FN1に入力し、制御回路193の最後から2番目のNAND CNz-1の出力が、遅延回路列191の最初のNAND FN1に入力し、制御回路193の最後のNAND CNzの出力が遅延回路191の最初から2番目のNAND FN2に入力し、FN1の次段にインバーターF11の代わりにNAND FNINが配置され、遅延回路108の出力をインバーターを介して入力し、遅延回路列192の最初のインバーターR11の出力が遅延回路列192の最後のNAND RNzに入力し、遅延回路列192の最後のNAND RNzの次段のインバーターR1zの代わりにNANDRNINが配置され、減算器197の出力1910をインバーターを介して入力し、遅延回路列192の最初のインバーターR11の出力はまたNAND199を介して増幅回路106に入力する。

【0130】受信回路105のHパルス出力は遅延回路107、遅延回路198、減算器197に入力する。遅延回路107の出力は遅延回路108、インバーターを介して遅延回路列191に入力する。遅延回路列191に入ったHパルスは、次に受信回路105のHパルスが出るまでの期間、遅延回路列191中を進行し、遅延回路列191の最後のインバーターFIzに達したら、最初のNAND FN1に戻り循環し続ける。

【0131】加算器195は、受信回路105のHパルスが出てから次にHパルスが出るまでの期間に遅延回路列191のインバーターFIzから出力されたHパルスの数をカウントする。加算器195の出力は、本実施形態では、加算した結果を4ビット出力1905-1, 1905-1B, 1905-2, 1905-B, 1905-3, 1905-3B, 1905-4, 1905-4Bで示す。受信回路105からHパルスが出たとき、加算器195の出力は転送器196を介して4ビット出力1906-1, 1906-1B, 1906-2, 1906-2B, 1906-3, 1906-3B, 1906-4, 1906-4Bとして減算器197に転送される。また、受信回路105からHパルスが出たとき、遅延回路列191中のHパルスは遅延回路列192に転送され、遅延回路列192中をLパルスとして進行し、インバーターRI1に達したら、NAND RNzに入力し、再び遅延回路列192中を進行する。この遅延回路列192のインバーターRI1からのLパルス出力で、減算器197に転送されたカウント数は減算され、0になったとき、減算器197の出力1910はLからHに変化し、遅延回路列192中のインバーターRNINの出力をL固定にすると同時に、NAND199から遅延回路列192中のインバーターRI1の出力を増幅回路106に出力させる。

【0132】また、受信回路105からHパルスが出てから次のHパルスが出るまでの期間までに、遅延回路列191中のHパルスが遅延回路列191の最後のインバーターFIzに達しない場合は、減算器197の出力1910はHのままなので、遅延回路列191から遅延回路列192に転送されたパルスは、NAND199から遅延回路列192中のインバーターRI1の出力を増幅回路106に出力させる。

【0133】さらに、加算器195のカウンターが最大値を示したとき、すなわち、4ビット出力1905-1, 1905-1B, 1905-2, 1905-2B, 1905-3, 1905-3B, 1905-4, 1905-4Bが全てH出力のときは、加算器195から最大周期違反信号1912が出力する。したがって、本実施形態を第6の実施形態の遅延回路列101、遅延回路列102、制御回路103、負荷調整素子104と置き換えることで、本実施形態で制御可能な最大周期を越える周期のクロックが入った場合、増幅回路106には、本

回路を経由しないクロックが入力する。

【0134】次に、加算器195、転送器196、減算器197と遅延回路198の詳細な構成について図21を用いて説明する。加算器195は4個のリセット付きDフリップフロップ回路D-F/F1~4からなる。D-F/F1のC端子には、遅延回路列191中のインバーターFIzの出力をインバーターを介した信号と遅延回路198の信号のNOR出力を入力する。D-F/F1のQ端子出力1905-1は、D-F/F1のD端子とD-F/F2のC端子とインバーターIA1と4入力NAND ADNANDおよび転送器196のNAND12に入力する。インバーターIA1の出力1905-1Bは転送器196のNAND11に入力する。D-F/F2のQ端子出力1905-2は、D-F/F2のD端子とD-F/F2のC端子とインバーターIA2と4入力NOR ADNORおよび転送器196のNAND22に入力する。インバーターIA2の出力1905-2Bは転送器196のNAND21に入力する。D-F/F3のQ端子出力1905-3はD-F/F3のD端子とD-F/F4のC端子とインバーターIA3と4入力NOR ADNORおよび転送器196のNAND32に入力する。インバーターIA3の出力1905-3Bは転送器196のNAND31に入力する。D-F/F4のQ端子出力1905-4はD-F/F4のD端子とインバーターIA4と4入力NOR ADNORおよび転送器196のNAND42に入力する。インバーターIA4の出力1905-4Bは転送器196のNAND41に入力する。NAND11, NAND12, NAND21, NAND22, NAND31, NAND32, NAND41, NAND42のもう一方の入力端子には受信回路105の出力が入力する。

【0135】減算器197は、4個のセット、リセット付きDフリップフロップD-F/F5~8からなる。D-F/F5のC端子には受信回路105の出力と遅延回路列192のNAND RNINの出力のNOR出力が入力する。D-F/F5のR端子には、NAND11の出力1906-1Bが入力し、D-F/F5のS端子には、NAND12の出力1906-1が入力する。D-F/F5のQ端子出力は、D-F/F5のD端子、D-F/F6のC端子と4入力NAND REDNANDに入力する。D-F/F6のR端子にはNAND21の出力1906-2Bが入力し、D-F/F6のS端子にはNAND22の出力1906-2が入力する。D-F/F6のQ端子出力は、D-F/F6のD端子、D-F/F7のC端子と4入力NAND REDNANDに入力する。D-F/F7のR端子にはNAND31の出力1906-3Bが入力し、D-F/F7のS端子にはNAND32の出力1906-3が入力する。D-F/F7のQ端子出力は、D-F/F7のD端子、D-F/F8のC端子と4入力NAND REDNANDに入力す

る。D-F/F8のR端子にはNAND41の出力1906-4Bが入力し、D-F/F8のS端子には、NAND42の出力1906-4が入力する。D-F/F8のQ端子出力は、D-F/F8のD端子と4入力NAND REDNANDに入力する。REDNANDの出力は、減算器197の出力1910としてNAND199やインバーターを介してNAND RNINに入力する。

【0136】以上説明したように、本実施形態は、遅延回路列191、遅延回路列192をループ状に接続し、かつカウンタを設けることで、遅延回路列191、遅延回路列192の最大遅延時間のカウンタで計数できる数の倍数分長い周期のクロックを制御可能である。すなわち、遅延回路列191の任意のNAND FNnから次のインバーターFINまでの遅延時間dFと、遅延回路列192の任意のNAND RNnからインバーターFINまでの遅延時間をdRと定義したとき、遅延回路列191の最初のNAND FN1から最後のインバーターFIZまでの遅延時間は $z \cdot dF$ になり、遅延回路列192の最初のNAND RNzから最後のインバーターRI1までの遅延時間は $z \cdot dR$ となるが、内部クロックと外部クロックの遅延を除去する場合には、dFとdRが等しくなるように設定し、これに伴い $z \cdot dF$ と $z \cdot dR$ を等しくし、このとき、入力クロック周期が、 $z \cdot dF + d1 + d2$ より短いとき(d1+d2は、遅延回路107と遅延回路108の遅延時間の和)は、第1〜7実施形態に示したように、遅延回路列191を進行中のクロックパルスは、次のクロックパルスで遅延回路列191から遅延回路列192に転送され、遅延回路列191中と遅延回路列192中を同じ段数のNAND、インバーターを通過し、入力クロック周期が $z \cdot dF + d1 + d2$ より長いときは、次のクロックが入るまでパルスは、遅延回路列191中を循環し続け、遅延回路列191の端から端までパルスが通過した回数が加算器195で計数され、次のクロックが入ったときに遅延回路列191から遅延回路列192へパルスが転送されると同時に加算器195で計数された、遅延回路列191の端から端までパルスが通過した回数が減算器197に転送され、遅延回路列192のインバーターRI1をパルスが通る度に減算され、遅延回路列191の端から端までパルスが通過した回数と同じ回数遅延回路列192の端から端までパルスが循環するので、遅延回路列191、遅延回路列192を何度も使用するが、入力クロック周期が、 $z \cdot dF + d1 + d2$ より短いときと同じように遅延回路列191中と遅延回路列192中を同じ段数のNAND、インバーターを通過するので、長いサイクルのクロックでも同じ効果が期待できる。

【0137】さらに、加算器195のカウンタが最大値を示したときは、加算器195から最大周期違反信号1912が出力する。したがって、本実施形態の遅延回

路列191、遅延回路列192、制御回路193、負荷調整素子194、加算器195、転送器196、減算器197と遅延回路198を第6の実施形態の遅延回路列101、遅延回路列102、制御回路103、負荷調整素子104と置き換えることで、本実施形態で制御可能な最大周期を越える周期のクロックが入った場合、増幅回路106には、本回路を経由しないクロックが入力する。

【0138】このほか、本実施形態の遅延回路列191、遅延回路列192、制御回路193、負荷調整素子194、加算器195、転送器196、減算器197と遅延回路198を第3、4、5の実施形態の遅延回路列101、遅延回路列102、制御回路103、負荷調整素子104と置き換えることで第3、4、5の実施形態と同等の効果がより広い周波数範囲で実現できる。

【0139】また、遅延回路列192の遅延時間を遅延回路列191の遅延時間の1/2に設定することで、第7の実施形態と同等の効果をより広い周波数範囲で実現できる。

(第13の実施形態)次に、本発明の第13の実施形態について図22と図23を用いて説明する。

【0140】図22を参照すると、本実施形態は、図5中の遅延調整回路115の代わりに遅延調整回路201を備えたものである。図23に示すように、特に遅延回路107がトランジスタ1102を介して接続される容量素子1103の組み合わせ8組をインバーター列111のノードに接続する構成、および1個のトランジスタ113は常に導通状態にあり、他のトランジスタは、1個が信号1104で制御され、2個が信号1105で制御され、4個の信号1106が制御され、トランジスタ1102に接続される容量値は、2の3乗、すなわち8、段階のレベルをもち、遅延回路107は8段階の遅延時間をもつ構成は図6と同じである。ただし、各信号1104、1105、1106は、それぞれ遅延調整回路201内のレジスタ2001、レジスタ2002、レジスタ2003で独立に制御される。レジスタ2001、レジスタ2002、レジスタ2003の出力レベルは、外部信号2004、外部信号2005、外部信号2006の接続状態および設定信号2007と設定解除信号2008で決定される。

【0141】本実施形態では、外部信号2004〜2006により遅延回路107の遅延時間を調整できるので、遅延回路装置が完成した後、システムに搭載後にもクロックのタイミングの設定が可能になる。特に、図24に示すように、本発明の遅延回路装置202を搭載した半導体装置、例えば、同期式ダイナミックランダムアクセスメモリ203を複数搭載したモジュール204を複数搭載し、これら複数のモジュール204を管理する制御用集積回路装置205を搭載し、同期式ダイナミックランダムアクセスメモリ203のデータ出力2011

を制御用集積回路装置205で受信するときの受信信号を、データ出力2011を出したのと同じ同期式ダイナミックランダムアクセスメモリ203に搭載した遅延回路装置202の出力2012を用いて取り込むシステム206において、各モジュール204の配置位置によって生じる遅延時間差をシステム搭載後の外部アドレス2004から2006などからなる信号群2013で調整できる。

【0142】

【発明の効果】本発明は下記のような効果がある。

【0143】1. 外部クロックと内部クロックの位相差を内部増幅の遅延より縮め、所望の位相差を有する内部クロックを最短2周期で供給し得る。

【0144】2. 効果1の結果、外部クロックの位相差のない内部クロックを所望のタイミングで用いるために常に本発明の回路を動作させる必要がなく、消費電力が増大しない。

【0145】3. 本発明の回路は、互いに等しい遅延特性の複数の遅延回路を用いるので、電源電圧が低くなっても、制御周波数の範囲は変わらない。

【0146】4. 一定の制御周波数の精度を保って広い周波数にわたってクロックを制御する場合、回路の段数を増やすだけで対応が可能であり、周波数範囲に応じて遅延回路を複数用いた場合でも、遅延回路を切り代えて、位相差がなくなるまで、僅か2周期を要するだけである。

【0147】5. 位相差をなくせる条件（電圧、デバイス条件）が限られておらず、事前の調査はほとんど不要である。

【0148】6. 回路の種類が少なく、不良の対応が容易である。

【0149】7. 完全なデジタル回路なので、カウンタを用いた制御が容易であり、制御するクロックの周期が大きい場合は、クロックが遅延回路列を通過する回数をカウンタで計数することができ、回路数の増大を極端に増やすことなく、広い周期にわたって制御できる。

【0150】8. 制御が容易なので、制御範囲より大きな周期の外部クロックが入力した場合には、本発明の二つの遅延回路列を経由しない回路に切り替えることができ、誤動作を回避できる。

【0151】9. 2周期で位相差をなくすことができるので、周期性記憶回路装置などのコマンド信号や内部信号でも制御可能で、記憶回路装置などの全体回路の中で必要な期間のみ動作させることができ、スタンバイ時など低消費電力化をしたい期間は、容易に止めることができる。

【0152】10. 2つの遅延回路列の遅延時間の比率を調整することにより、クロックのデューティ比の設定、クロック周期の設定が容易にできる。

【0153】11. 位相比較回路を用いることにより、外部クロックと内部クロックの位相差をより精度よく合わせられる。しかも、位相比較回路なしでもあらかじめ位相が合っているので、位相比較回路による補正も極めて短い時間で位相調整がされる。また、位相比較回路を用いた回路としては、広い周波数にわたって制御し得る。

【0154】12. ヒューズや外部信号により、遅延回路装置が完成した後、また、システムに搭載後にもクロックのタイミングの設定が可能になる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態の遅延回路装置の回路図である。

【図2】第1の実施形態の動作を示す波形図である。

【図3】本発明の第2の実施形態の遅延回路装置の回路図である。

【図4】本発明の第3の実施形態の遅延回路装置の回路図である。

【図5】本発明の第4の実施形態の遅延回路装置の回路図である。

【図6】第4の実施形態の遅延回路107と遅延調整回路115の回路図である。

【図7】本発明の第5の実施形態の遅延回路装置の回路図である。

【図8】第5の実施形態における分配回路121の回路図である。

【図9】第5の実施形態におけるクロック切替回路122の回路図である。

【図10】第5の実施形態における最大周期違反検知回路123の回路図である。

【図11】第5の実施形態におけるクロック起動回路124の回路図である。

【図12】本発明の第6の実施形態の遅延回路装置の回路図である。

【図13】第6の実施形態における位相比較回路132から遅延調整回路134までの回路図である。

【図14】本発明の第7の実施形態の遅延回路装置の回路図である。

【図15】第7の実施形態の動作を示す波形図である。

【図16】本発明の第8の実施形態の遅延回路装置の回路図である。

【図17】本発明の第9の実施形態の遅延回路装置の回路図である。

【図18】本発明の第10の実施形態の遅延回路装置の回路図である。

【図19】本発明の第11の実施形態の遅延回路装置の回路図である。

【図20】本発明の第12の実施形態の遅延回路装置の回路図である。

【図21】第12の実施形態における加算器195と転

送器196と減算器197の回路図である。

【図22】本発明の第13の実施形態の遅延回路装置の回路図である。

【図23】本発明の第13の実施形態における遅延調整回路201の回路図である。

【図24】第13の実施形態の遅延回路装置を搭載した半導体装置を示す図である。

【図25】PLLを用いない遅延回路の従来例の回路図である。

【図26】図25に示す遅延回路の動作の波形図である。

【図27】PLLを用いた遅延回路の従来例の回路図である。

【図28】PLLと分周回路を用いた遅延回路の従来例の回路図である。

【符号の説明】

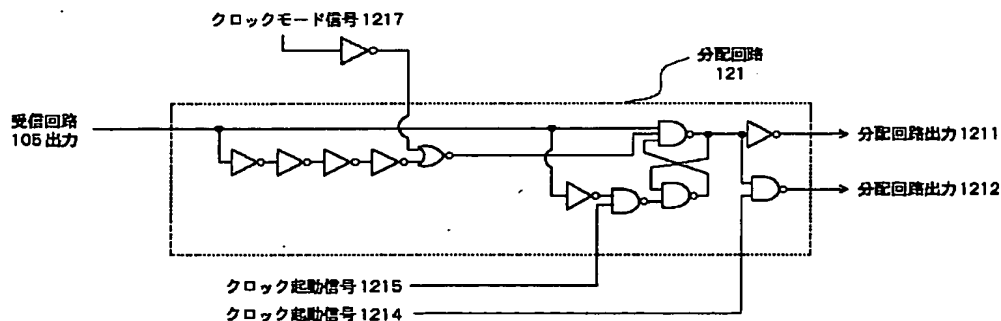
101 遅延回路列
102 遅延回路列
103 制御回路
104 負荷調整素子
105 受信回路
106 増幅回路
107, 108 遅延回路
109 制御端子
110 接地線
111 電源線
112, 113 遅延回路
114 インバーター
115 遅延調整回路
121 分配回路
122 クロック切替回路
123 最大周期違反検知回路
124 クロック起動回路
125 クロック出力制御回路
126 クロックモード信号発生回路
131 遅延回路
132 位相比較回路
133 フィルタ
134 遅延調整回路
141, 142 遅延回路列
143 制御回路
144 負荷調整素子
145 遅延回路
146 パルス幅補正回路
147 OR回路
148 RS-F/F
149 増幅回路
151, 152 遅延回路列
153 制御回路
154 負荷調整素子

155 OR回路
161, 162A, 162B 遅延回路列
163 制御回路
164A, 164B 負荷調整素子
171, 172 遅延回路列
173 制御回路
174 負荷調整素子
175 負荷調整端子
181, 182 遅延回路列
183 制御回路
184 負荷調整素子
185 パルス幅補正回路
186 遅延回路
187 OR回路
191, 192 遅延回路列
193 制御回路
194 負荷調整素子
195 加算器
196 転送器
20 197 減算器
198 遅延回路
199 NAND回路
201 遅延調整回路
202 遅延回路装置
203 同期式ダイナミックランダムアクセスメモリ
204 モジュール
205 制御用集積回路装置
301, 303, 305 クロック
302, 304 クロック群
30 1101 インバーター列
1102 トランジスタ
1103 容量素子
1104, 1105, 1106 信号
1107, 1108, 1109 ヒューズレジスタ
1110, 1111, 1112 ヒューズ
1113 設定信号
1211, 1212 分配回路出力
1213 最大周期違反信号
1214, 1215 クロック起動信号
40 1216 クロック出力制御信号
1217 クロックモード信号
1218 クロック切替信号
1219 アクティブ信号
1120 パワーダウン信号
1221 RS-F/F
1222 D-LAT
1223~1224 D-F/F
1226 3入力NAND
1231 リードモード信号
50 1232 バーストモード信号

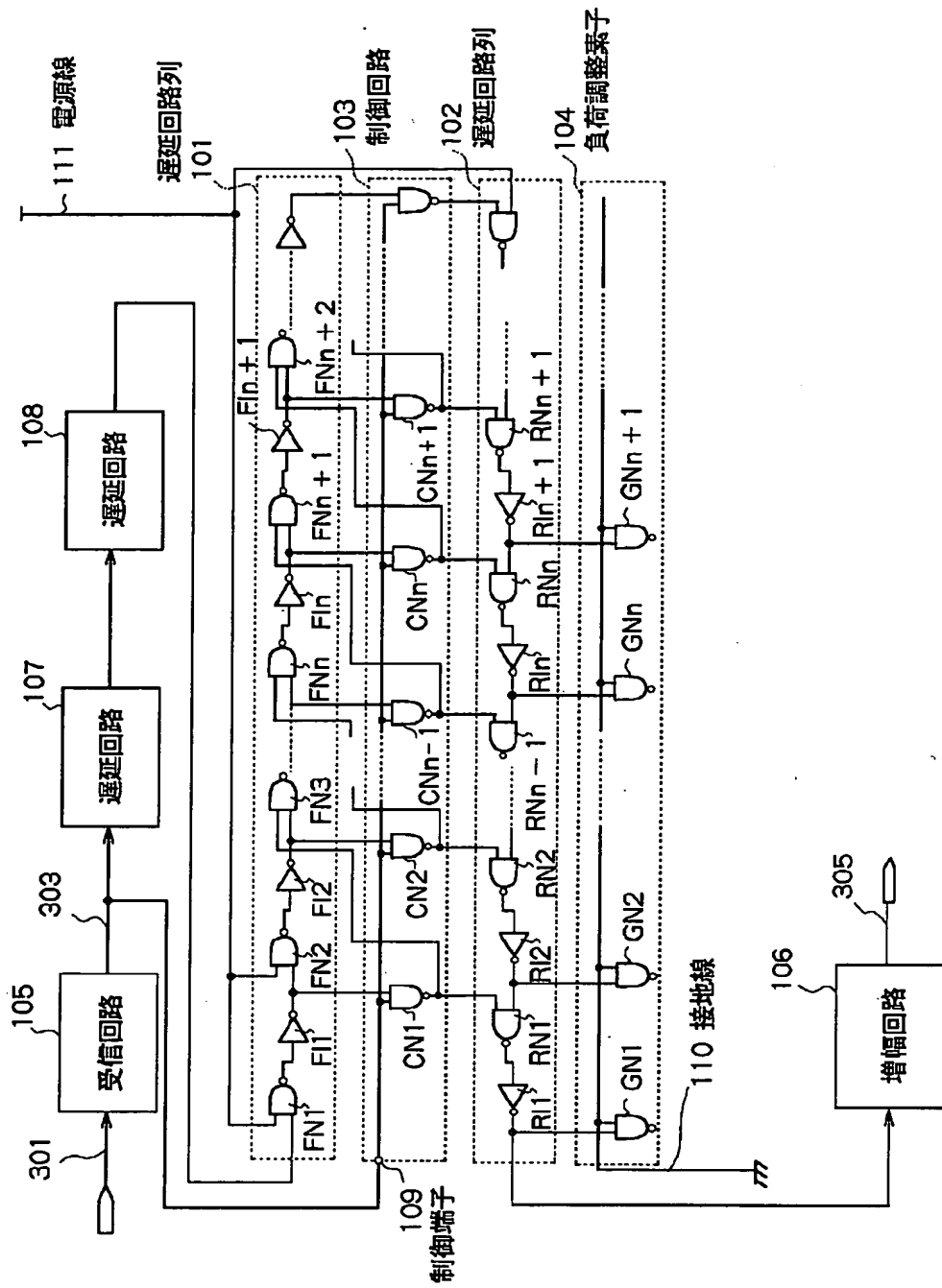
1233 CASレーテンシー信号
 1301 アップ信号
 1302 ダウン信号
 1303 カウントアップ信号
 1304 カウントダウン信号
 1305 3ビット出力
 1905-1~1905-4, 1905-1B~1905-4B 加算器195の出力
 1906-1~1906-4, 1906-1B~1906-4B 転送器197の出力
 1910 転送器197の出力
 2001~2003 レジスタ
 2004~2006 外部アドレス
 2007 解除信号
 2008 設定信号
 2011 ランダムアクセスメモリ203のデータ出力2011
 2012 遅延回路装置2024の出力
 2013 信号群
 FN1, FN2, ..., FNn, FNn+1, ... NA ND
 FI1, FI2, ..., Fin, Fin+1, ... インバーター
 RN1, RN2, ..., RNn, RNn+1, ... NA ND
 RI1, RI2, ..., Rin, Rin+1, ... インバーター
 CN1, CN2, ..., CNn, CNn+1, ... NA ND
 GN1, GN2, ..., GNn, GNn+1, ... NA ND
 d1 受信回路105および遅延回路107の遅延時間
 d2 増幅回路106および遅延回路108の遅延時間
 tCK クロックの周期
 tCK-d1-d2 遅延回路列01をクロックの立

ち上がりエッジが進行する時間、および遅延回路列102をクロックのLパルスの立ち上がりエッジが進行する時間
 RN1a, RN2a, ..., Nna, RNn+1a, ... NAND
 RN1b, RN2b, ..., Nnb, RNn+1b, ... NAND
 RI1a, RI2a, ..., Ina, Rin+1a, ... インバーター
 10 RI1b, RI2b, ..., Inb, Rin+1b, ... インバーター
 GN1a, GN2a, ..., Nna, GNn+1a, ... NAND
 GN1b, GN2b, ..., Nnb, GNn+1b, ... NAND
 GM1, GMn, ... NMOSTランジスタ
 GN1, GCn 容量素子
 FN1, FNn, CN1, CNn, CNz, RN1, RNn, RNz NAND
 20 FI1, Fin, FIZ, RI1, Rin, RIZ インバーター
 D-F/F1, D-F/F2, D-F/F3, D-F/F4 リセット付きDフリップフロップ
 ADNAND 4入力NAND
 IA1, IA2, IA3, IA4 インバーター
 NAND11, NAND12, NAND21, NAND22, NAND31, NAND32, NAND41, NAND42 NAND
 REDNAND 4入力NAND
 dF 遅延回路191列の任意のNAND FNnから次のインバーターFinまでの遅延時間
 dR 遅延回路192列の任意のNAND RNnから次のインバーターFinまでの遅延時間
 zdF 遅延時間191列の最初のNAND FN1から最後のインバーターFIZまでの遅延時間
 zdR 遅延回路192列の最初のNAND RNzから最後のインバーターRI1までの遅延時間

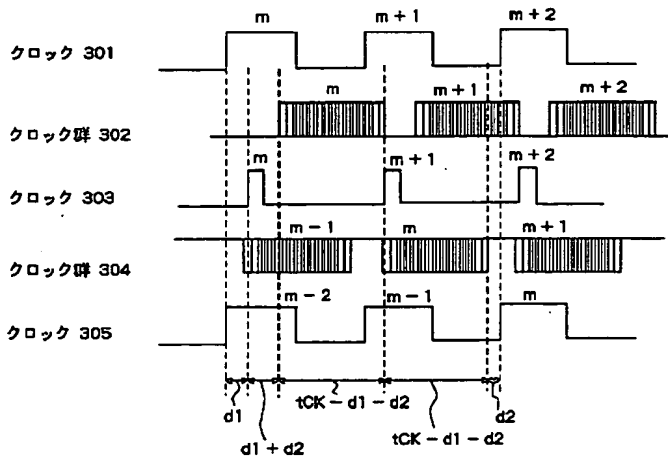
【図8】



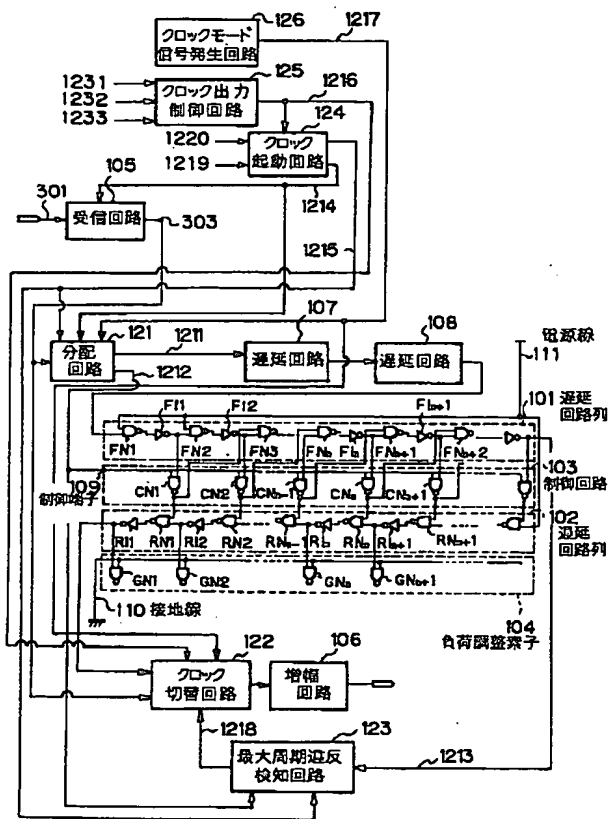
【図1】



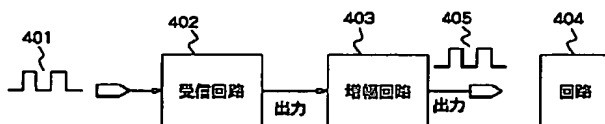
【図2】



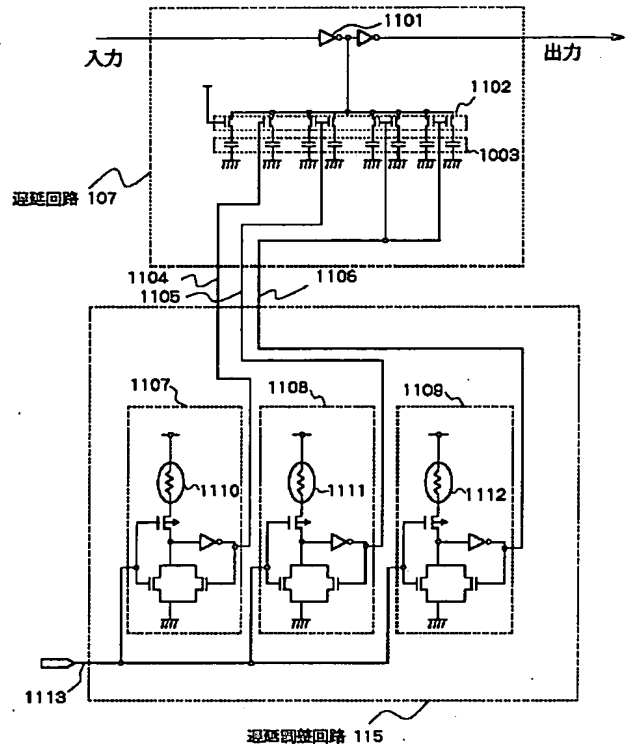
【図7】



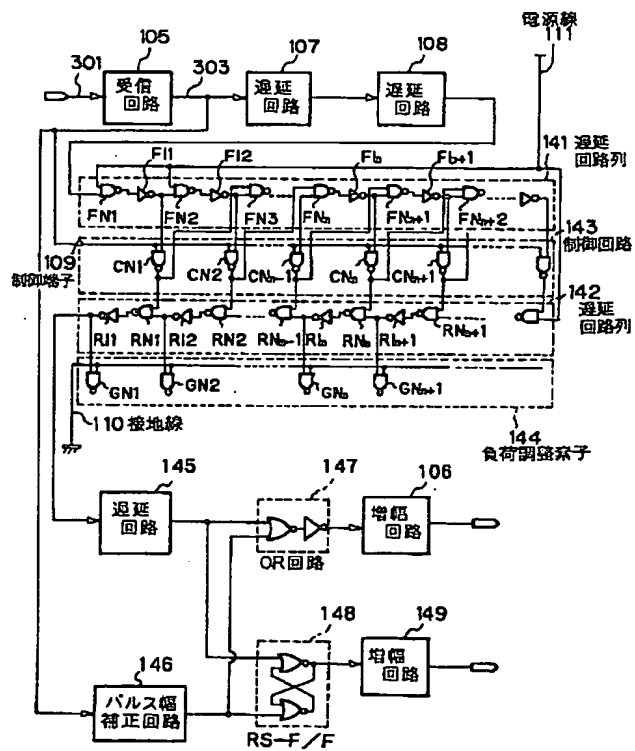
【図25】



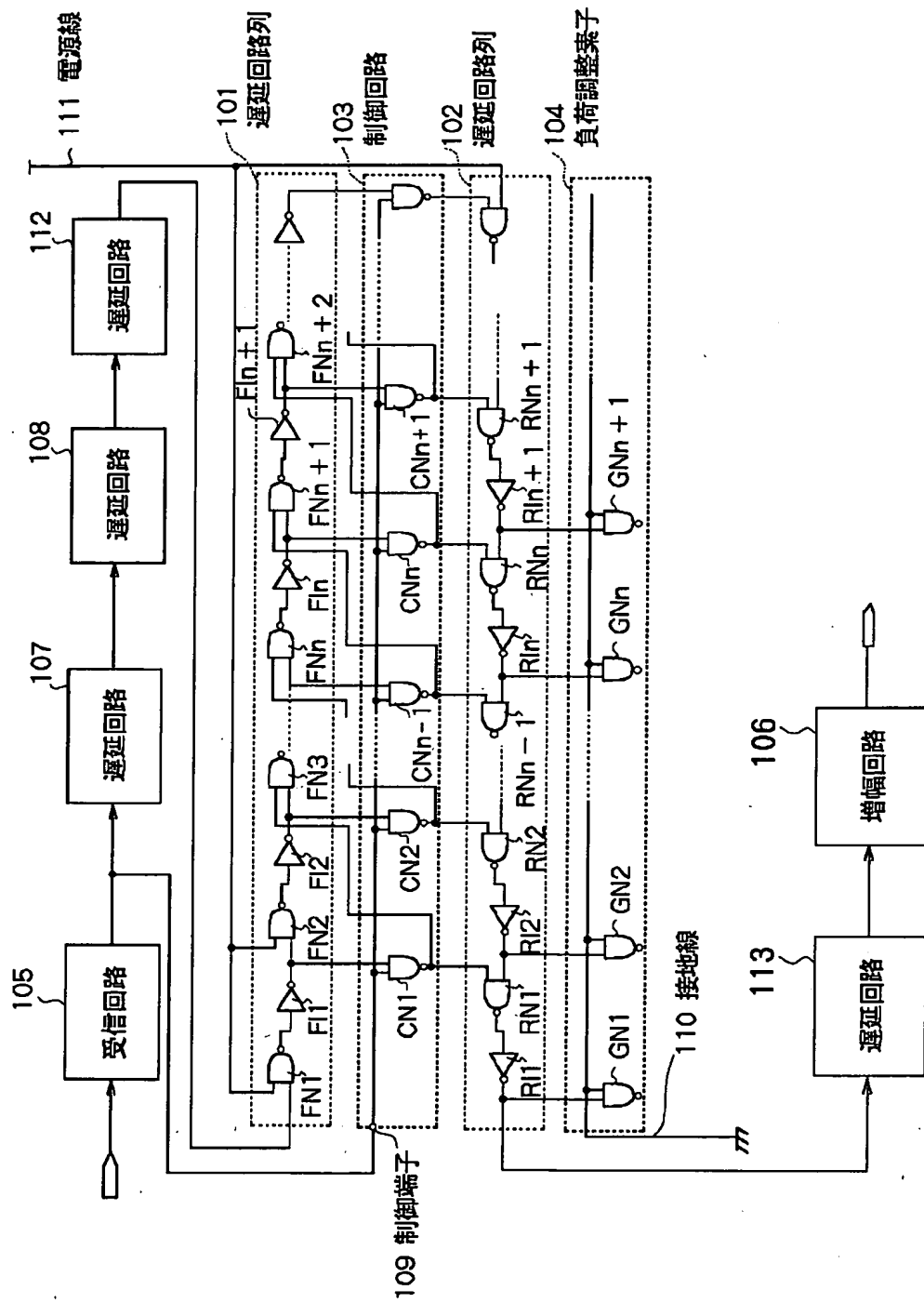
【図6】



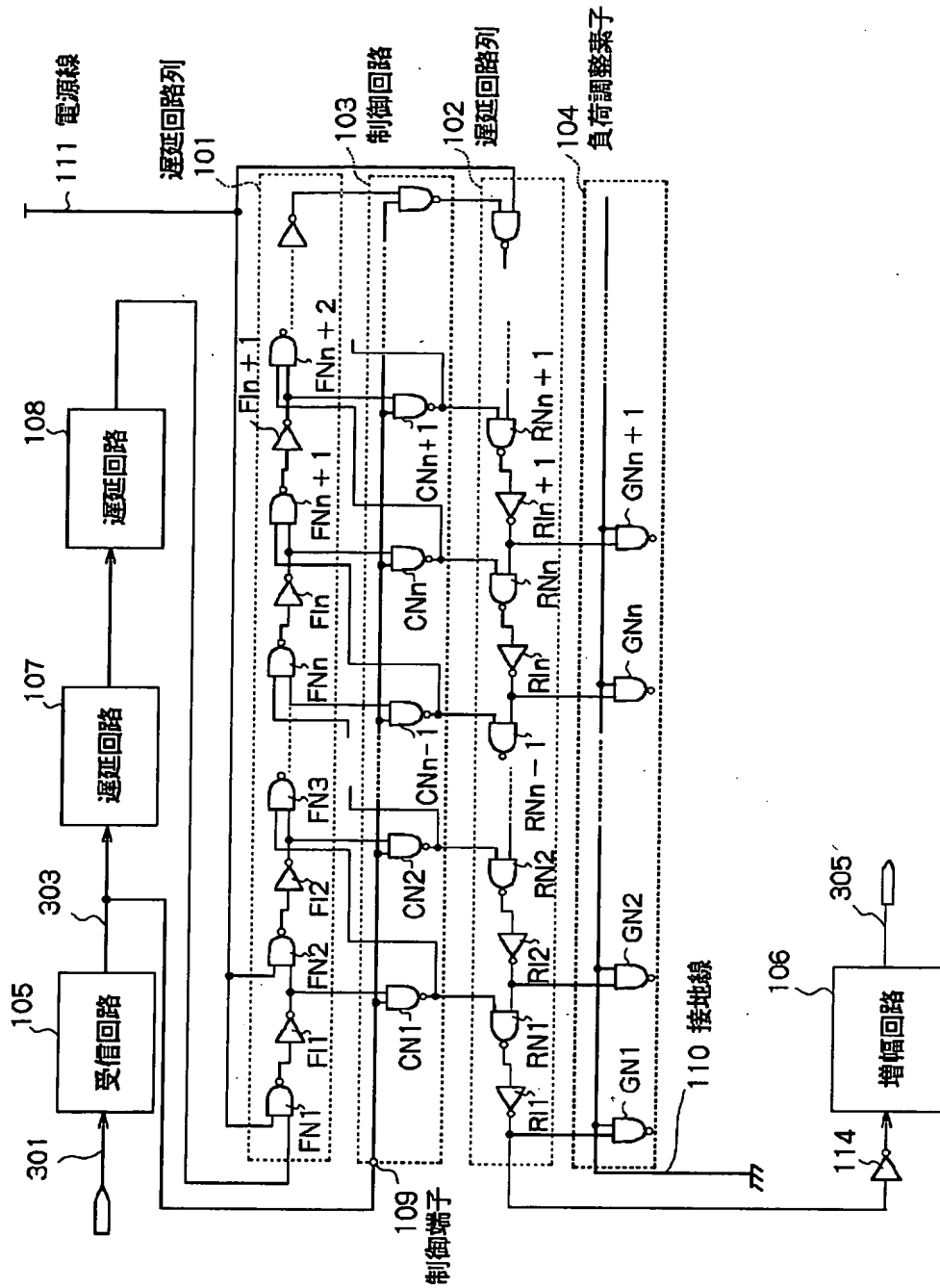
【図14】



【図3】



【図 4】

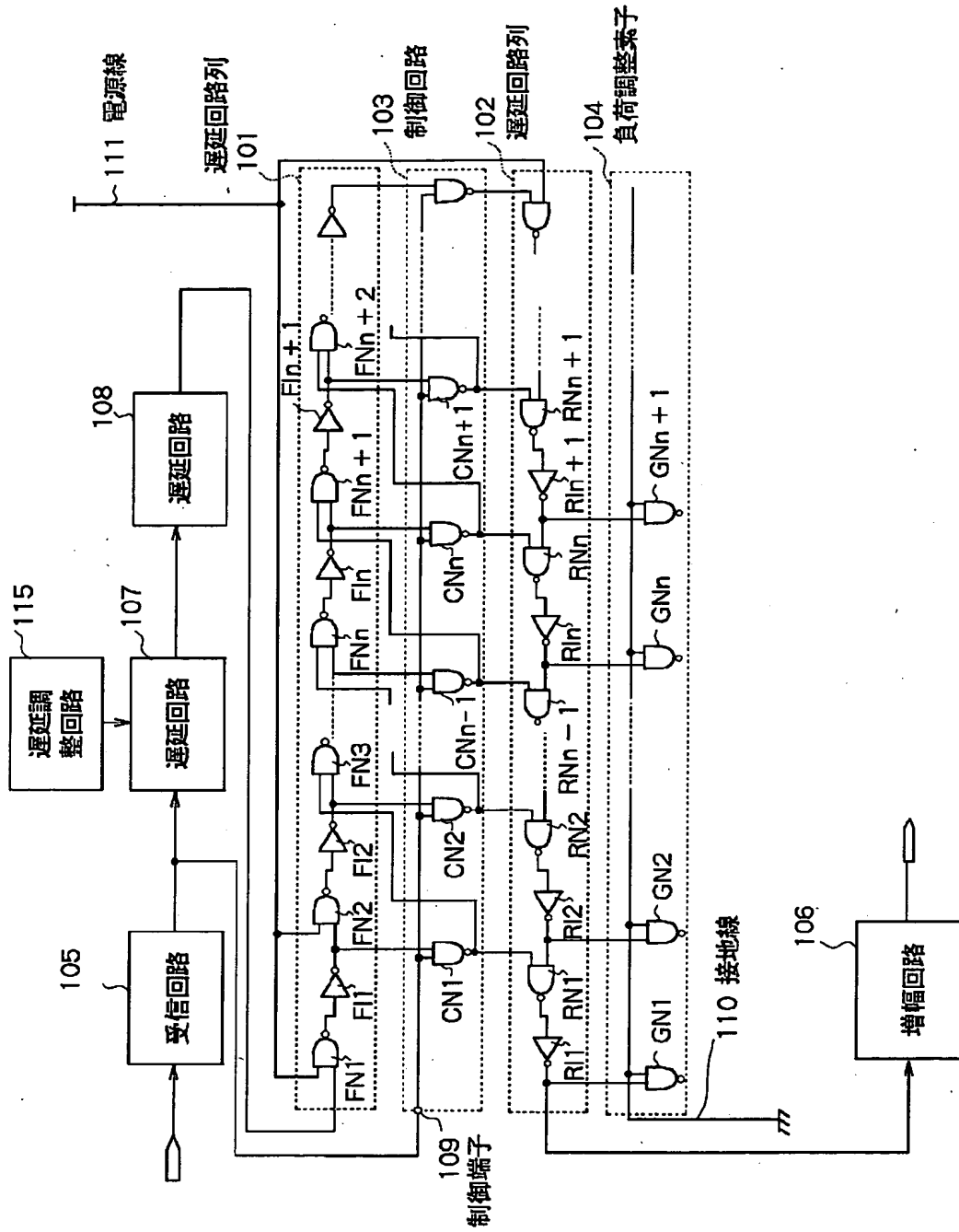


制御端子

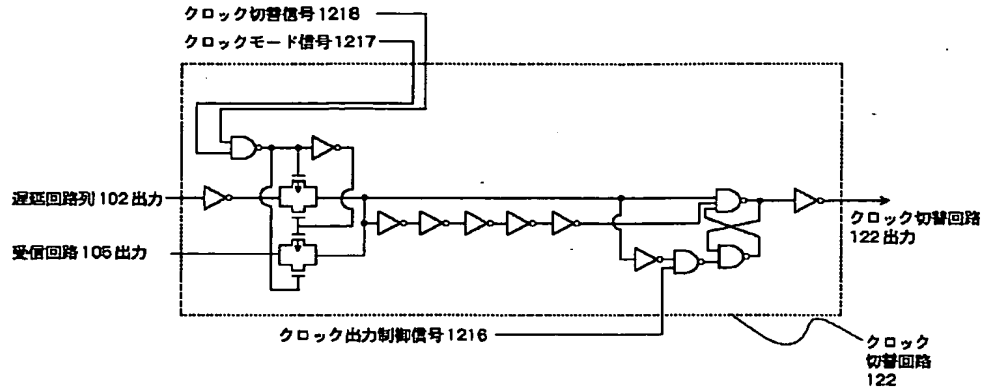
102 遅延回路列

104 負荷調整素子

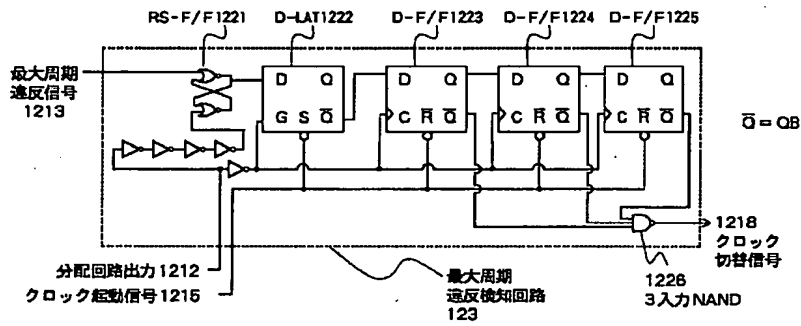
図 10



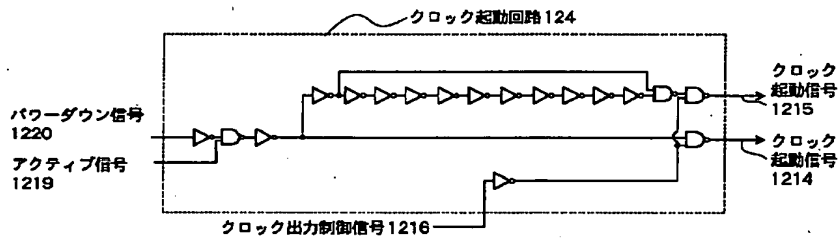
【図9】



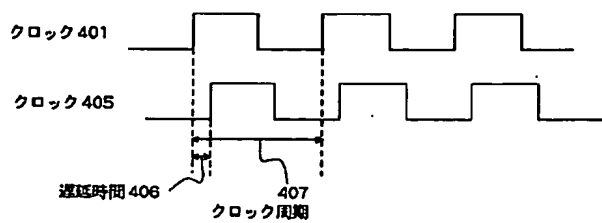
【図10】



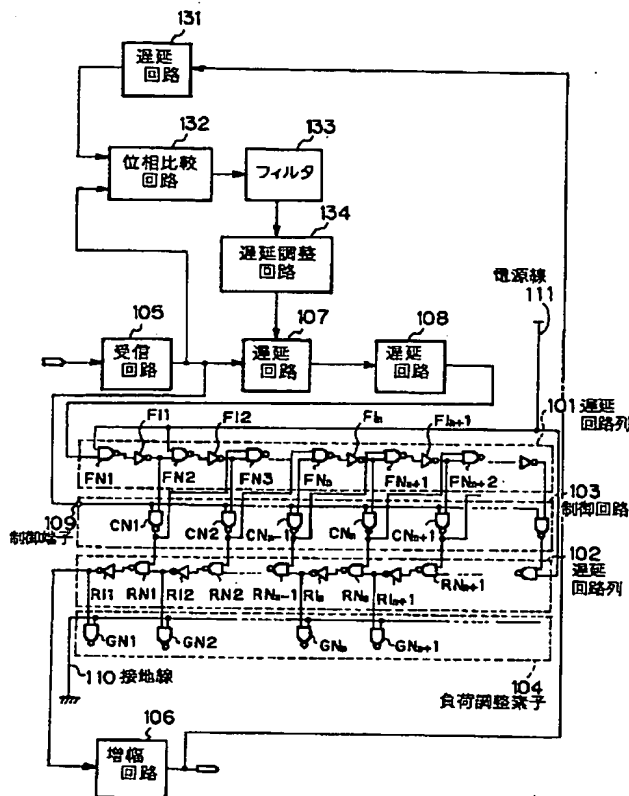
【図11】



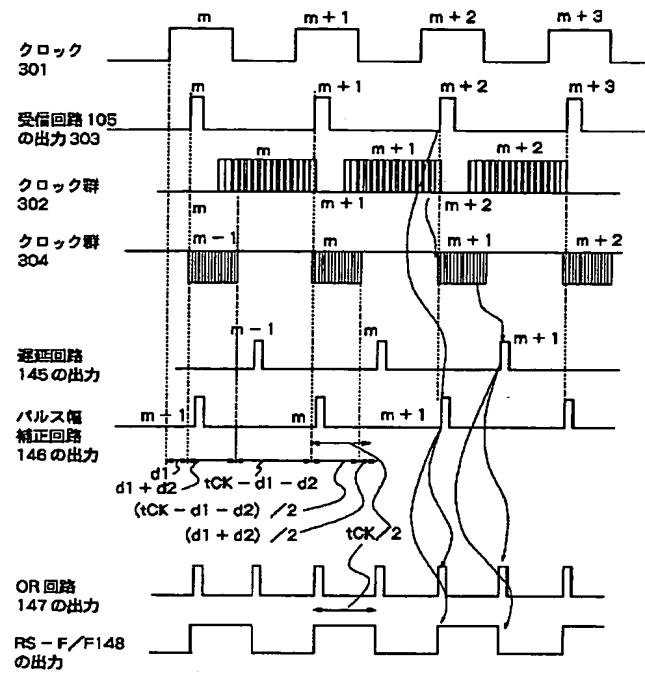
【図26】



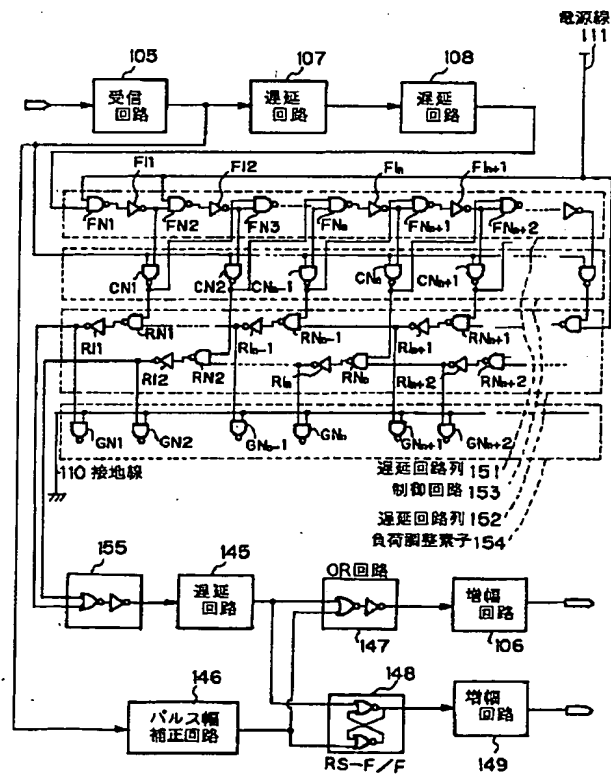
【図12】



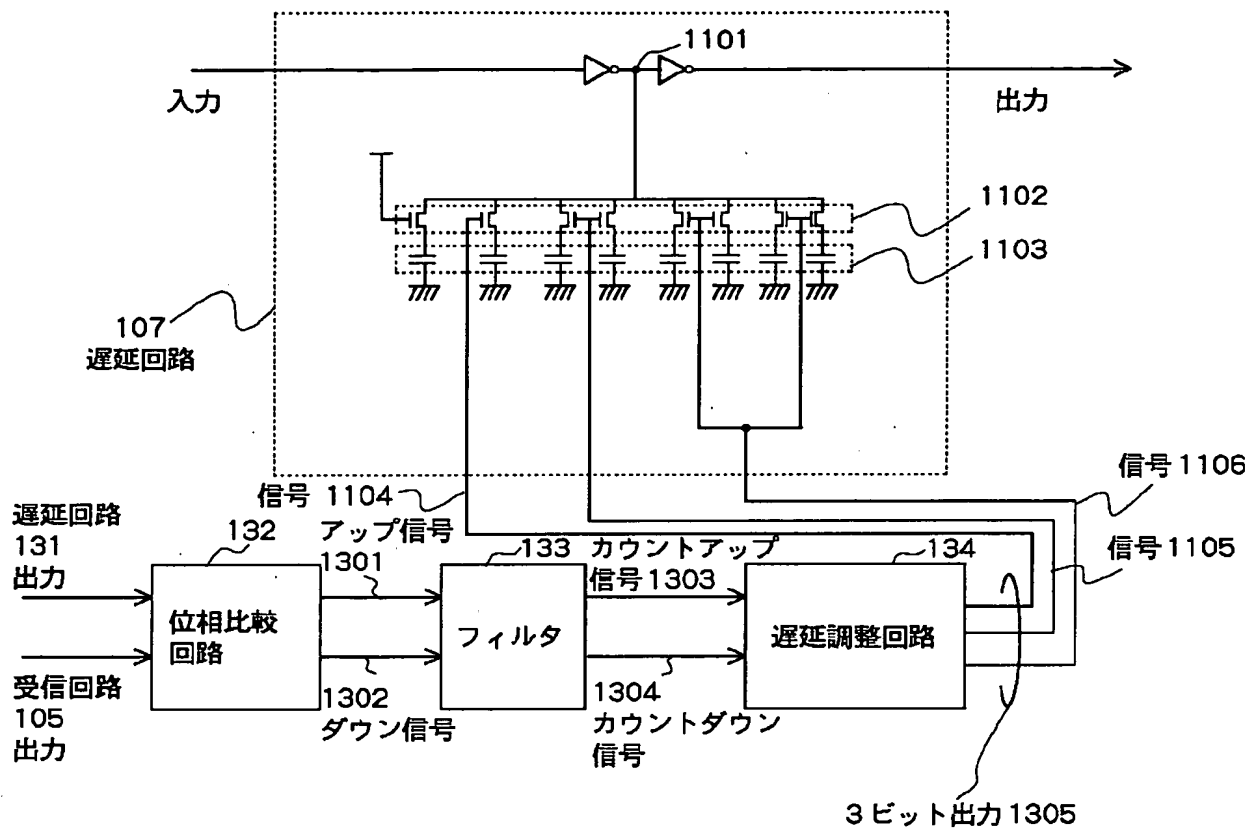
【図15】



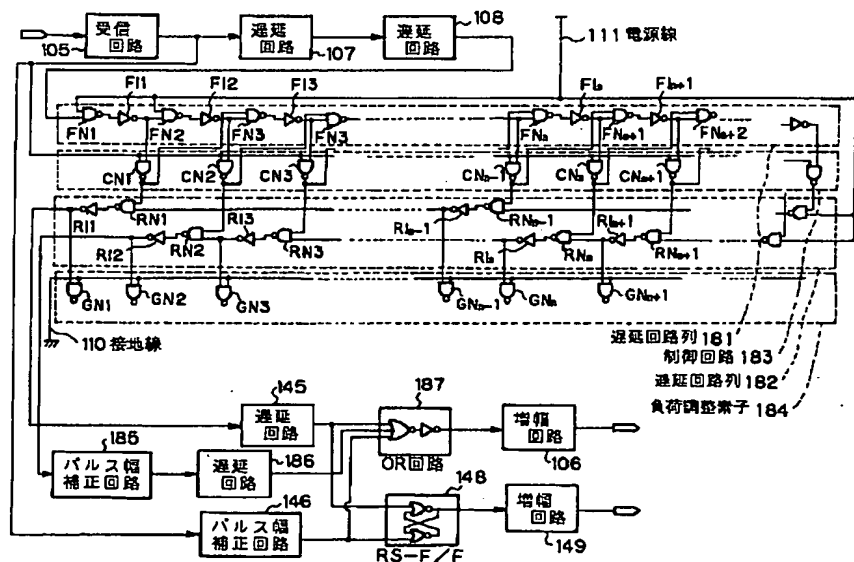
【図16】



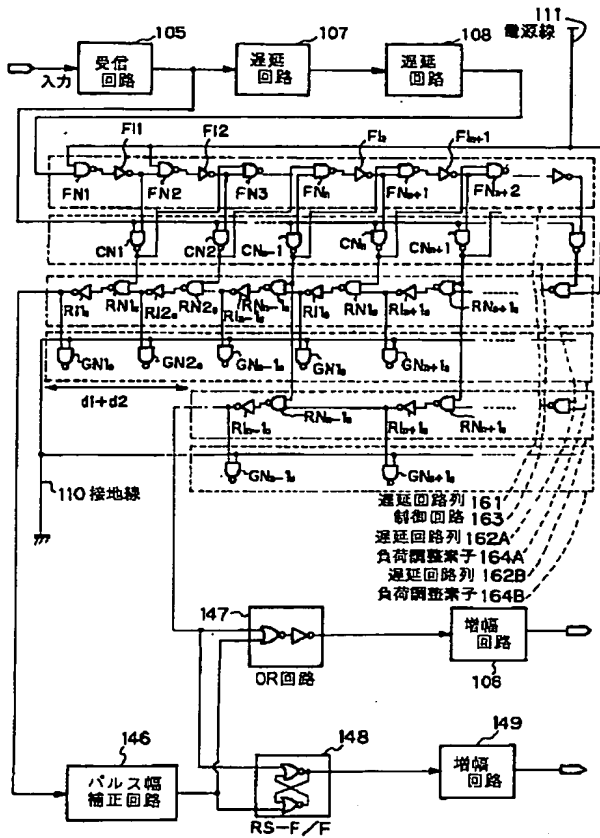
【図13】



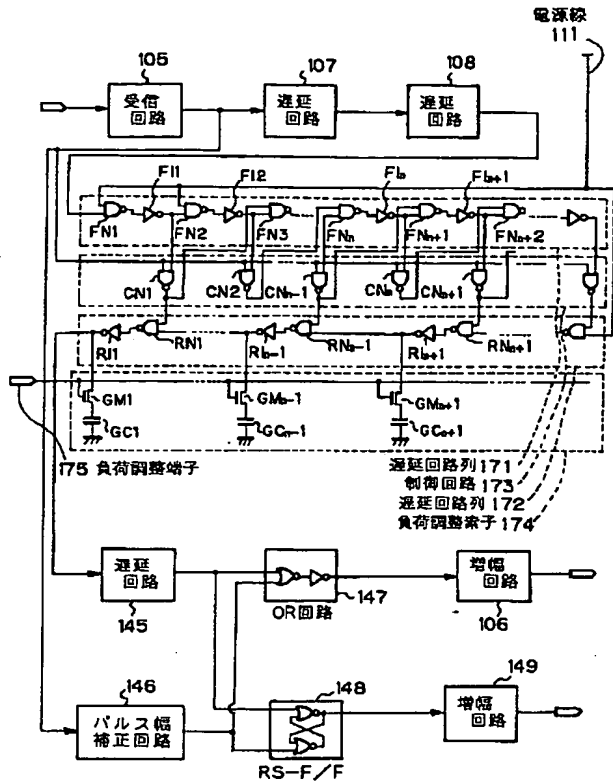
【図19】



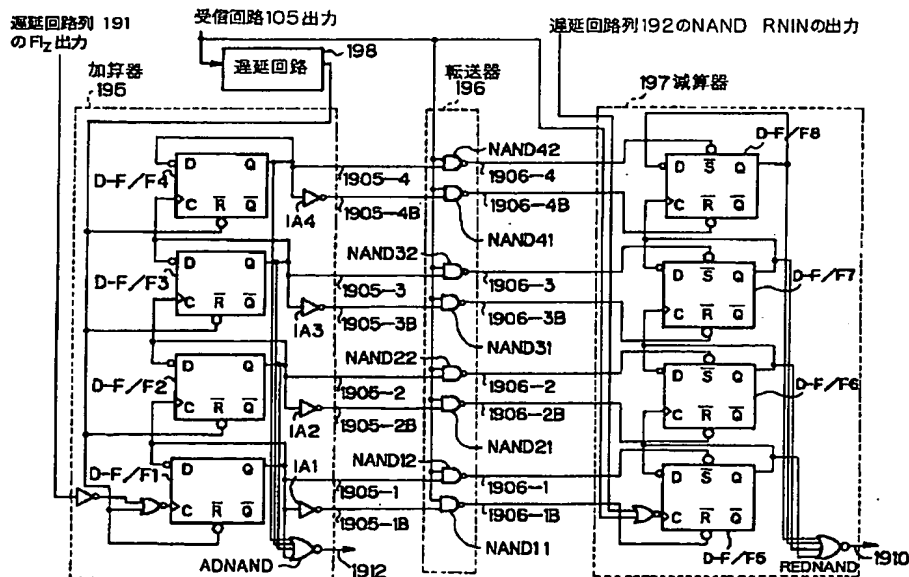
【図 17】



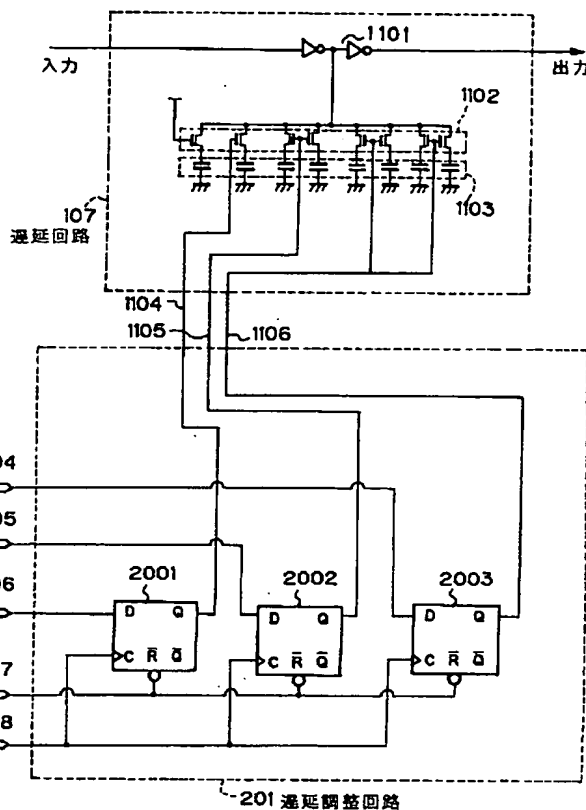
【図 18】



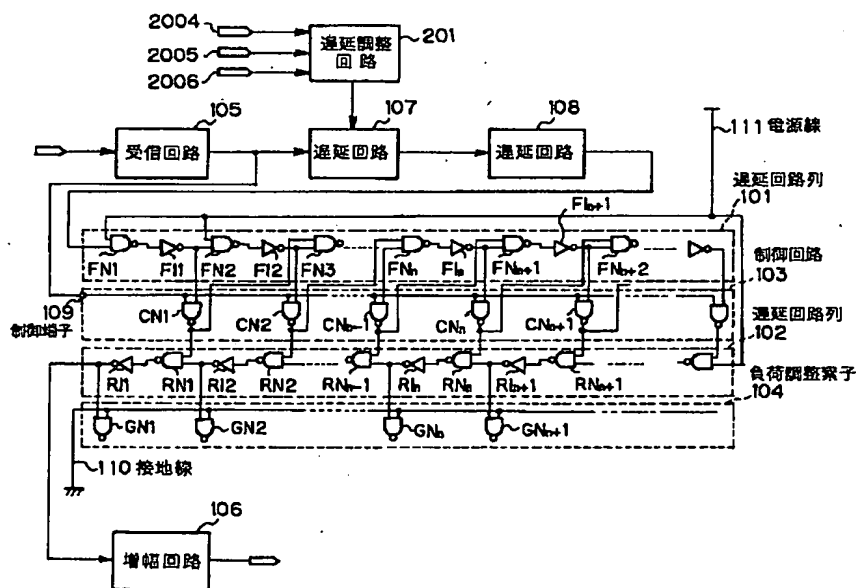
【図 21】



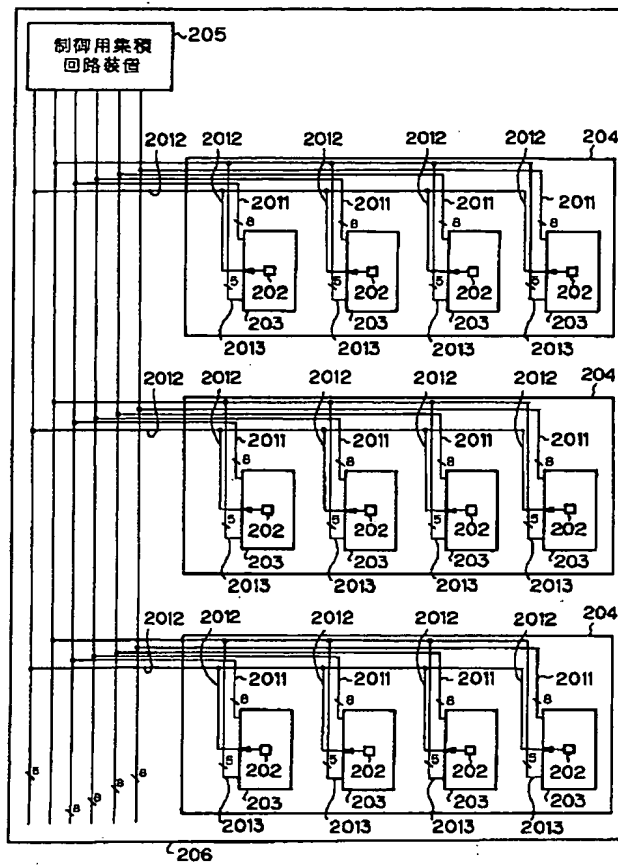
【图 23】



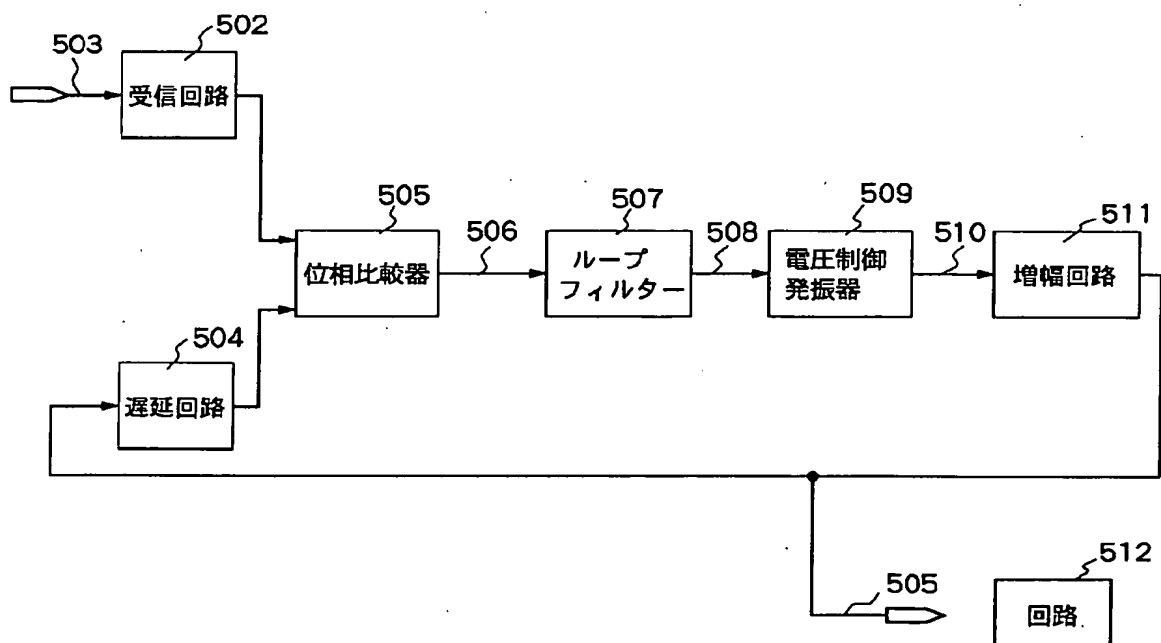
【☒ 2 2】



【図24】



【図27】



【図 28】

